

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-43508

(P2003-43508A)

(43)公開日 平成15年2月13日 (2003.2.13)

(51) Int.Cl.<sup>7</sup>  
G 0 2 F 1/1343  
1/1368  
G 0 9 F 9/30 3 3 0  
3 3 6  
3 3 8

識別記号  
G 0 2 F 1/1343  
1/1368  
G 0 9 F 9/30 3 3 0  
3 3 6  
3 3 8

F I  
G 0 2 F 1/1343  
1/1368  
G 0 9 F 9/30 3 3 0 Z  
3 3 6  
3 3 8  
テマコード(参考)  
2 H 0 9 2  
4 M 1 0 4  
5 C 0 9 4  
5 F 0 3 3  
5 F 1 1 0

審査請求 未請求 請求項の数17 O L (全 26 頁) 最終頁に続く

(21)出願番号 特願2001-227747(P2001-227747)  
(22)出願日 平成13年7月27日 (2001.7.27)

(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 阿部 賦  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(72)発明者 高橋 順也  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内  
(74)代理人 100091096  
弁理士 平木 祐輔

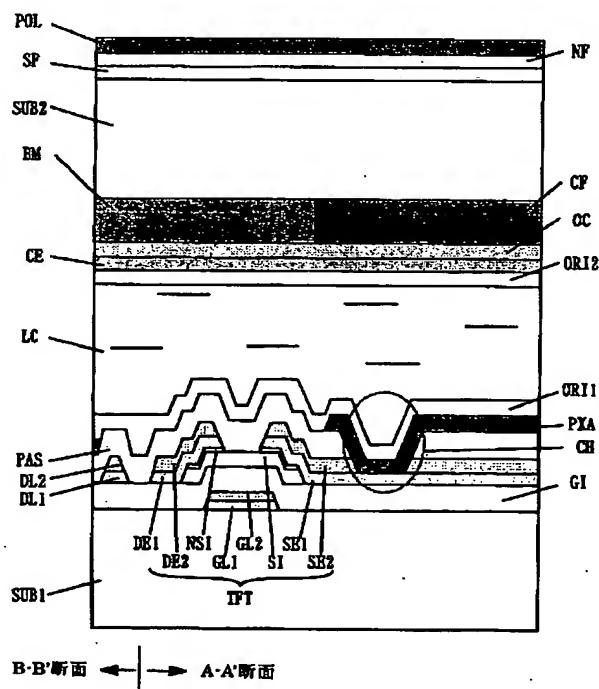
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 低抵抗率な銀合金を信号線を簡略な工程で作製でき、銀合金を用いた信号線の断線、溶解を防止し、歩留まりの向上を実現できる反射型液晶表示装置を提供する。

【解決手段】 映像信号配線DL1/DL2、走査信号配線GL1/GL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、及びソース電極SE1/SE2の少なくともひとつを第一の導電膜DL1, GL1, DE1, SE1と第二の導電膜DL2, GL2, DE2, SE2とし、第一の導電膜DL1, GL1, DE1, SE1をMoを主成分とする合金とし、第二の導電膜DL2, GL2, DE2, SE2を第一の導電膜の上に配置し、Ag合金とする。また、画素電極PXAの配置された領域に存在する走査信号配線GL1/GL2を行方向の隣接する画素間隙以外の領域で重疊し、映像信号配線DL1/DL2を列方向の隣接する画素電極間隙以外の領域で重疊する構造とする。



(2)

2

## 【特許請求の範囲】

【請求項 1】 一対の基板と、該一対の基板に挟持される液晶層と、該一対の基板上に形成される共通信号電極及び画素電極と、前記一対の基板のうちの該画素電極、又は該画素電極及び該共通信号電極が形成される側の基板上にマトリクス状に相互に交差して形成される走査信号配線及び映像信号配線と、該走査信号配線と該映像信号配線との交点に対応して形成される薄膜トランジスタとを備えている液晶表示装置であって、

前記走査信号配線、前記映像信号配線、前記薄膜トランジスタのソース電極、又は前記薄膜トランジスタのドレイン電極のうちの少なくとも一つが、第1の導電膜と第2の導電膜とからなる積層膜で構成され、該第1の導電膜はモリブデンを主成分とする合金であり、該第2の導電膜は前記第1の導電膜の上層に位置して銀を主成分とする合金であることを特徴とする液晶表示装置。

【請求項 2】 一対の基板と、該一対の基板に挟持される液晶層と、該一対の基板上に形成される共通信号電極及び画素電極と、前記一対の基板のうちの該画素電極、又は該画素電極及び該共通信号電極が形成される側の基板上にマトリクス状に相互に交差して形成される走査信号配線及び映像信号配線と、該走査信号配線と該映像信号配線との交点に対応して形成される薄膜トランジスタとを備えている液晶表示装置であって、

前記走査信号配線、前記映像信号配線、前記薄膜トランジスタのソース電極、又は前記薄膜トランジスタのドレイン電極のうちの少なくとも一つが、第1の導電膜と第2の導電膜とからなる積層膜で構成され、該第1の導電膜はモリブデンを主成分とする合金であり、該第2の導電膜は前記第1の導電膜の上層に位置して銀を主成分とする合金であるとともに、該第2の導電膜を覆う絶縁膜が積層され、該上層の絶縁膜側から該第2の導電膜を貫通して前記第1の導電膜を底部とするホールが形成されることを特徴とする液晶表示装置。

【請求項 3】 前記絶縁膜は、前記走査信号配線を概ね覆うゲート絶縁膜、前記映像信号配線と前記薄膜トランジスタとを概ね覆う保護絶縁膜、該保護絶縁膜上に形成された塗布型絶縁膜のうち一層以上から構成されていることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】 前記走査信号配線又は前記映像信号配線は前記積層膜で形成されており、前記ホールの側部は前記絶縁膜の上層に積層される前記走査信号配線又は前記映像信号配線のパッド電極を形成する導電膜によって被覆され、該パッド電極を形成する導電膜は前記ホールの底部をなす前記走査信号配線又は前記映像信号配線の第1の導電膜に当接していることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 5】 前記パッド電極を形成する導電膜は、前記画素電極を形成するための導電膜と同時に形成されることを特徴とする請求項 4 記載の液晶表示装置。

10

【請求項 6】 前記パッド電極を形成する導電膜は、前記ホールの底部をなす前記走査信号配線又は前記映像信号配線の第1の導電膜を完全に覆わないことを特徴とする請求項 4 又は 5 記載の液晶表示装置。

10

【請求項 7】 前記薄膜トランジスタのソース電極又はドレイン電極は前記積層膜で形成されており、前記ホールの側部は前記絶縁膜の上層に積層される前記画素電極を形成する導電膜によって被覆され、前記画素電極を形成する導電膜は前記ホールの底部をなす前記ドレイン電極の第1の導電膜に当接していることを特徴とする請求項 2 記載の液晶表示装置。

10

【請求項 8】 前記画素電極は透過型画素電極であり、該透過型画素電極の下層に絶縁膜を介して位置し、第1の導電膜と第2の導電膜とからなる積層膜で構成される反射板を備え、該第1の導電膜はモリブデンを主成分とする合金であり、該第2の導電膜は前記第1の導電膜の上層に位置して銀を主成分とする合金であるとともに、前記反射板は、前記走査信号配線、前記映像信号配線、前記薄膜トランジスタのソース電極、又は前記薄膜トランジスタのドレイン電極のうちの一つと同時に形成されることを特徴とする請求項 2 記載の液晶表示装置。

20

【請求項 9】 前記画素電極は反射型画素電極であり、該反射型画素電極は前記映像信号配線又は前記走査信号配線に重疊させて並設されていることを特徴とする請求項 1 乃至 7 いずれかに記載の液晶表示装置。

20

【請求項 10】 前記画素電極は透過型画素電極であり、該透過型画素電極を形成する導電膜はインジウム錫酸化物からなる透明導電膜であることを特徴とする請求項 1 乃至 8 いずれかに記載の液晶表示装置。

20

【請求項 11】 前記画素電極は透過型画素電極であり、該透過型画素電極を形成する導電膜は非晶質のインジウム錫酸化物、インジウム亜鉛酸化物、インジウムゲルマニウム酸化物のいずれかからなる透明導電膜であることを特徴とする請求項 1 乃至 8 いずれかに記載の液晶表示装置。

20

【請求項 12】 前記第一の導電膜はモリブデンを主成分とし、ジルコニウム、ハフニウム、クロム、チタンの内少なくとも一種の元素を含有することを特徴とする請求項 1 乃至 1 1 いずれかに記載の液晶表示装置。

40

【請求項 13】 前記第一の導電膜はモリブデンを主成分とし、ジルコニウムを4重量%以上23重量%以下含有することを特徴とする請求項 1 乃至 1 1 いずれかに記載の液晶表示装置。

【請求項 14】 前記絶縁膜の少なくとも一部に有機材料からなる有機絶縁膜を配置したこと特徴とする請求項 2 乃至 1 3 いずれかに記載の液晶表示装置。

【請求項 15】 前記有機絶縁膜の平均膜厚を0.5  $\mu$ m以上、4  $\mu$ m以下としたことを特徴とする請求項 1 4 記載の液晶表示装置。

50

【請求項 16】 前記有機絶縁膜表面に凹凸が形成され

(3)

3

ており、前記画素電極が前記有機絶縁膜の凹凸形状に対応する凹凸を有することを特徴とする請求項14又は15記載の液晶表示装置。

【請求項17】 前記液晶表示装置は、反射型であることを特徴とする請求項1又は16記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は液晶表示装置の改良に関する。

【0002】

【従来の技術】 従来、液晶表示装置として、画素を構成する表示領域にスイッチング素子として薄膜トランジスタTFT (TFT:Thin Film Transistor) 素子を設けた構造のアクティブマトリックス方式が多く提案されている。この種の液晶表示装置においては例えば一対の基板の間に液晶層を挿入し、この液晶層を各基板で挟持した構造が採用されており、一方の基板 (TFT基板) 側にはTFT素子、画素電極、走査信号や映像信号の電極や配線、及び配線と外部駆動回路とを接続するための端子等が形成され、他方の基板 (CF基板) 側にはカラーフィルタ、ブラックマトリックス、対向電極が形成されており、基板面にほぼ垂直な縦電界を印加して表示する、ツイストネマチック表示方式を採用している。

【0003】 近年、TFT-LCD (薄膜トランジスタ液晶表示装置) の大画面化、高精細化が進行するにつれ、信号線やその端子を低抵抗化する要求はますます厳しくなりつつある。また、生産コストを低減するためにプロセスを簡略化すること、設備投資効率を高めること、生産歩留まりの向上が求められている。

【0004】 信号線の低抵抗化を図るためにには、配線材料として低抵抗率のものを用いる必要がある。このような配線材料としてはアルミニウム (Al) 及びそれを主成分とした合金がよく知られているが、さらなる低抵抗化に対応するためには、銅 (Cu) や銀 (Ag) 又はそれらを主成分とした合金を配線材料として用いる必要がある。

【0005】 これら銅や銀等の低抵抗率配線材料を用いた信号線として、低抵抗率配線材料を他の金属材料で覆ったクラッド構造のものが、例えば特開平9-26602号公報に記載されている。このクラッド構造では、信号線の低抵抗特性は低抵抗率配線材料が担い、画素電極との接觸特性は他の金属材料が担っている。

【0006】

【発明が解決しようとする課題】 しかし、前記従来技術において、クラッド構造を形成するためには、通常ホトグラフィー工程を低抵抗率配線材料に対して1回、この低抵抗率配線材料を覆う他の金属材料に対して1回の計2回実施する必要があり、その分製造プロセスが複雑になってしまう。

【0007】 そこで、製造プロセスの簡略化のために、1回のホトリソグラフィー工程で信号線を形成すること

(3)

4

が強く望まれる。しかしながら、この場合、以下の理由により銀や銅の薄膜を他の金属材料の薄膜でサンドイッチ状に挟んだ三層の積層膜の構造となってしまっていた。

【0008】 まず、銀や銅の薄膜の下に他の金属材料が必要である理由として、例えば表面技術vol. 41 (1990), p p485に記載されているように銅や銀は下地との付着力が弱いことが挙げられる。すなわちこれらの薄膜を透明基板上や絶縁膜上に直接形成した場合には膜剥がれによる生産歩留まりの低下を招く。また、銅や銀の薄膜を薄膜トランジスタのシリコン(Si)の上にソース、ドレイン電極として直接形成した場合には、シリコン中へ銅や銀が拡散することによる薄膜トランジスタの性能低下が懸念される。

【0009】 次に銀や銅の薄膜の上層に他の金属材料の薄膜が必要である理由としては、例えばJournal of Electrochemical Society, Vol. 137 (1990), pp3928-3930に記載されているように、これらの銀や銅は、透過型の液晶表示装置で信号線の端子部や画素電極に用いられているインジウム錫酸化物 (ITO) 等の透明導電膜との間の接触抵抗が高いことが挙げられる。また銀や銅は、反射型液晶表示装置の画素電極として通常用いられるアルミニウム、及びそれを主成分とした合金膜との間についても接触抵抗が高い。したがって、それらを銀や銅と直接接続した場合には、点欠陥や線欠陥の形で表示特性が著しく劣化する虞がある。

【0010】 加えて、三層の積層膜をスパッタリング装置にて形成するためには、3個のスパッタリングターゲットを備えた設備が必要となる。ところが、このような設備を備えた装置は高価であり、さらには積層膜の形成時間が長くなるため処理能力が悪くなり、ひいては装置台数も増やさざるを得ない。したがって、設備投資効率が極めて悪化する。

【0011】 そこで、本発明が解決しようとする第一の課題は、上述した問題点に鑑み、1回のホトリソグラフィー工程で銀や銅を用いた信号線を形成し、かつその積層層数を二層以下とし、新たな工程を必要としない簡略なプロセスで形成可能な液晶表示装置の構成を提供することを目的とする。

【0012】 また、例えば腐食・防食ハンドブック、社会法人腐食防食協会、丸善 (2000), pp841-858に記載されているように、銀や銅はマイグレーション等の腐食を引き起こしやすい材料であり、信号線間ショート等による生産歩留まりの低下が大きく懸念される。そこで、本発明が解決しようとする第二の課題は、信号線の腐食を押え信号線間ショートに対する耐性に優れた液晶表示装置の構成を提供することを目的とする。

【0013】 さらに、反射型液晶表示装置では、銀や銅からなる低抵抗信号配線上に絶縁膜を介して上層で反射画素電極や透過画素電極を加工形成する必要がある。絶

50

(4)

5

縁膜にピンホール、クラック等が生じた場合には、そのピンホールやクラックを介して反射画素電極や透過画素電極のエッティング液が浸漬し、下層の信号配線の銀がエッティング液にさらされる。ここで、銀や銅が反射画素電極や透過画素電極のエッティング液に対して可溶な場合には信号配線が溶解、断線し、歩留まりの低下が懸念される。この点に関し、反射画素電極は通常反射率の高いアルミニウム、銀又はそれらを主成分とする合金膜を用いて形成する。それらのエッティング液には例えば磷酸-硝酸-酢酸の混酸が使用されるが、磷酸-硝酸-酢酸の混酸に対し、銀や銅は可溶であるため、上記の課題が生じる。また、透過画素電極についても、例えばインジウム錫酸化膜を用いた場合には、エッティング液として臭化水素酸等の強酸を用いる。臭化水素酸に対しても銀や銅は可溶であるため、同様の課題が生じる。そこで、本発明が解決しようとする第三の課題は、信号配線の溶解、断線を抑え、歩留まり向上を向上できる液晶表示装置の構成を提供することを目的とする。

## 【0014】

【課題を解決するための手段】上記した第一の課題を解決するために、本発明の液晶表示装置は、走査信号配線、映像信号配線、薄膜トランジスタのソース電極、又は薄膜トランジスタのドレイン電極のうちの少なくとも一つを、第1の導電膜と第2の導電膜からなる積層膜で構成し、第1の導電膜はモリブデンを主成分とする合金(以下、Mo合金と称する)であり、第2の導電膜は前記第1の導電膜の上層にあり銀を主成分とする合金(以下、Ag合金と称する)であることを特徴とする。この理由を以下に述べる。

【0015】まず、低抵抗である第2の導電膜の下に、第1の導電膜があることにより、上述した銅や銀と下地の密着性が弱いことによる膜剥がれの問題が解決される。また、薄膜トランジスタのソース電極、ドレイン電極の場合には、シリコン中への銅や銀が拡散することによる薄膜トランジスタの性能低下の問題が解決される。また、Ag合金とMo合金とは、例えば磷酸-硝酸-酢酸の混酸等の液に対し双方とも可溶であるため、1回のホトリソグラフィーでかつ1回のエッティング工程によりパターニング加工ができる。

【0016】次に、走査信号配線、映像信号配線、薄膜トランジスタのソース電極、ドレイン電極上にある絶縁膜と銀を主成分とする前記第2の導電膜とを貫通するスルーホール及びコンタクトホールを形成し、このスルーホール、コンタクトホールの上に反射画素電極となる導電膜、もしくは透過画素電極となる透明導電膜を形成する。ここで、スルーホールは、走査信号配線又は映像信号配線の上層の絶縁膜上から、走査信号配線又は映像信号配線の前記第2の導電膜を貫通して開けたホールを指し、コンタクトホールは、薄膜トランジスタのソース電極又はドレイン電極の上層の絶縁膜上から、ソース電極

50

6

又はドレイン電極の前記第2の導電膜を貫通して開けたホールを指す。

【0017】このような構造にすることにより、反射画素電極に用いる導電膜、及び透過画素電極に用いる透明導電膜はモリブデンを主成分とする前記第1の導電膜と直接コンタクトすることができる。この時反射画素電極としては反射率の高いアルミニウム、銀もしくはそれらを主成分とした合金を用いるが、これら反射画素電極として用いる導電膜とモリブデンを主成分とする合金、あるいは透明導電膜とモリブデンを主成分とする合金との接觸抵抗は低く安定しているため、Mo合金(第1の導電膜)がAg合金(第2の導電膜)の下層にあっても、反射画素電極に用いる導電膜、及び透過画素電極に用いる透明導電膜との接觸抵抗を下げることができる。

【0018】ここで、前記のコンタクトホールを形成するために煩雑なプロセスを要しては、本発明の目的の一つである低生産コスト性が図れなくなる。そこで、本発明では、絶縁膜にコンタクトホール加工する際のフッ素プラズマによるドライエッティング加工において、銀を主成分とする合金がフッ化物の形態に価値変化することと、このフッ化物が銀を主成分とする合金やモリブデンを主成分とする合金や絶縁膜やシリコン等を侵さない磷酸を用いたウェット処理により溶解できることがわかった。従って、上述のコンタクトホールは以上の簡略なプロセスにて形成することができる。これにより1回のホトリソグラフィー工程で銀や銅を用いた信号線を形成し、かつその積層層数を二層以下とした簡略なプロセスで形成可能な液晶表示装置の構成を提供できる。

【0019】なお、第1の導電膜をモリブデンを主成分とし、ジルコニウム(Zr)、ハフニウム(Hf)、クロム(Cr)、チタン(Ti)のうち少なくとも一種の元素を含有する合金とすることにより、フッ素プラズマによるドライエッティングに対する耐性を付与することができるため、スルーホール及びコンタクトホール加工時の第1の導電膜の消失を防ぐことができる。すなわち第1の導電膜を薄くすることが可能となり、信号配線トータルの厚さも薄くできる。ひいてはその上層に形成される絶縁膜の被覆特性がよくなり、絶縁膜上に形成する信号配線、反射画素電極に用いる導電膜、及び透過画素電極に用いる透明導電膜の段差乗り越え特性も大きく向上し、生産歩留まりが大きく向上する。

【0020】また、磷酸-硝酸-酢酸の混酸を用いたAg合金とMo合金積層膜のエッティング加工による信号線断面形状の制御は第1の導電膜をモリブデンを主成分とし、ジルコニウムを含有する合金とした場合が最も優れている。ジルコニウムの含有量は、ドライエッティング耐性を確保するために4重量%以上、磷酸-硝酸-酢酸の混酸を用いたエッティング加工において、エッティング残渣を残さないために23重量%以下であることが望ましい。なお、エッティング残渣を残さないためには磷酸-硝酸-酢

(5)

7

酸の混酸にフッ化アンモニウム又はフッ化水素酸を添加することが望ましい。

【0021】次に前述の第二の課題を解決する手段について述べる。第二の課題を解決する手段は、銀を主成分とする合金の表面の全てを絶縁膜、又は他の導電膜で被覆することである。ここで、走査信号配線はゲート絶縁膜と保護絶縁膜によって、映像信号配線や薄膜トランジスタのソース、ドレイン電極は保護絶縁膜でほとんどの部分が覆われるが、スルーホール、及びコンタクトホールの側壁部分はAg合金が表面に露出する可能性がある。

ここで、映像信号配線や走査信号配線の端子部分においてはスルーホールを開口した絶縁膜よりも大きな領域を他の導電膜で覆うことによりスルーホール側壁部にある銀を主成分とする合金を覆うことができる。他の導電膜として透過画素電極、もしくは反射画素電極を形成する際に使用する導電膜を用いることにより、工程数を増やすことなく銀を主成分とした合金を覆うことができる。ソース電極上に開口したソース電極と反射画素電極を接続するためのコンタクトホール部分においては、画素電極となる導電膜を少なくともコンタクトホールよりも広い領域で覆うことによりコンタクトホール側壁部にあるAg合金を覆うことができる。ソース電極上に開口したソース電極と透過画素電極を接続するためのコンタクトホール部分においても、透過画素電極となる透明導電膜を少なくともコンタクトホールよりも広い領域で覆うことによりコンタクトホール側壁部にある銀からなる合金膜を覆うことができる。

【0022】ここで、銀からなる合金膜を被覆する際に用いる透明導電膜が多結晶インジウム錫酸化膜の場合は、例えば臭化水素酸のような銀を主成分とする合金を腐食するようなエッチング液を用いる。信号配線上的ゲート絶縁膜や保護絶縁膜にピンホール欠陥がある場合には、そこから多結晶インジウム錫酸化物のエッチング液が浸漬して信号配線を腐食する可能性がある。このような場合には多結晶インジウム錫酸化物ではなく多結晶インジウム錫酸化物のエッチング液よりも腐食性の弱い酸でエッチングが可能な非晶質インジウム錫酸化物を透明導電膜として採用することが望ましい。

【0023】また、透明導電膜としてインジウム亜鉛酸化物やインジウムゲルマニウム酸化物を採用することは、さらに腐食性の小さい蔥酸をそのエッチング液として用いることができるため、生産歩留まりの点で極めて有利である。しかしながら、インジウム錫酸化物の場合のようにインジウム亜鉛酸化物やインジウムゲルマニウム酸化物によって信号配線端子部のスルーホールを完全に覆ってしまうと、この透明導電膜表面と異方性導電フィルムとの接続抵抗が高くなり、端子接続ができなくなってしまう。これは透明導電膜の表面において、インジウム亜鉛酸化物中の亜鉛、又はインジウムゲルマニウム酸化物中のゲルマニウムが欠乏するために起こる現象で

8

ある。なお、インジウム錫酸化物の場合にはこのような現象は認められない。そこで、インジウム亜鉛酸化物やインジウムゲルマニウム酸化物を透明導電膜として採用する場合にはスルーホールの側壁部のみを透明導電膜で覆い、スルーホールの底部ではモリブデンを主成分とする第1の導電膜を露出させる構造とする。この場合、端子接続はモリブデンを主成分とする合金と異方性導電フィルムとの接続となる。このモリブデンを主成分とする合金と異方性導電フィルムとの接続抵抗は低く良好な端子接続が可能となる。また、銀を主成分とする第2の導電膜を被覆する役割も果たしている。以上により、信号線の腐食を抑え、信号線間ショートに対する耐性に優れた反射型液晶表示の構成を提供できる。

【0024】次に前述の第三の課題を解決する手段について述べる。第三の課題を解決する手段は、第1の導電膜と前記第2の導電膜からなる信号配線を画素電極の下に配置し、絶縁膜を介して重畠することである。この構造において、画素電極が存在する領域において走査信号配線は列方向に隣接する画素間隙以外の全ての領域で重畠し、映像信号配線は行方向に隣接する画素間隙以外の全ての領域で重畠する。本構成とすることにより信号配線上に存在するピンホール、もしくは信号配線周辺部に存在するクラックが画素電極で被覆されており、ピンホールやクラックからエッチング液が浸漬しないため信号配線が断線、溶解せずに歩留まりを大幅に向上できる。透過画素電極を有する液晶表示装置においては、透過画素電極を用いて絶縁膜に存在するピンホール、クラックを被覆する構造となる。以上により信号配線の溶解、断線を押えることができる液晶表示装置の構成を提供できる。

30 【0025】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の好適な実施の形態について詳細に説明する。

【0026】【第1の実施の形態】図1は、本発明の第1の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。図2は、第1の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板の平面図である。なお、図1は、図2中に記したA-A' 矢視方向、B-B' 矢視方向に眺めた断面図を合成したものである。

【0027】本実施の形態のアクティブマトリックス反射型液晶表示装置は、基板画素のスイッチング素子としての薄膜トランジスタTFTが配置される透明絶縁基板SUB1と、液晶層LCを介してこれと対向配置される対向側の透明絶縁基板SUB2とを備えている。以下の説明では、この薄膜トランジスタTFTが配置される側の透明絶縁基板SUB1をTFT基板と称し、このTFT基板SUB1と液晶層LCを介して対向配置される対向側の透明絶縁基板SUB2をCF基板と称する。

50

(6)

9

【0028】図1に示すように、TFT基板SUB1には、逆スタガの薄膜トランジスタTFTが配置されている。また、このTFT基板SUB1には、この薄膜トランジスタTFTを駆動するための走査信号配線GL1/GL2及び映像信号配線DL1/DL2と、反射画素電極PXAとが加えて配置されている。この走査信号配線GL1/GL2は、第1の導電膜GL1及び第2の導電膜GL2からなる二層積層構造で形成され、映像信号配線DL1/DL2も、第1の導電膜DL1及び第2の導電膜DL2からなる二層積層構造で形成されている。

【0029】映像信号配線DL1/DL2は、薄膜トランジスタTFTのドレイン電極（映像信号電極）DE1/DE2に接続され、この薄膜トランジスタTFTの映像信号電極DE1/DE2も、第1の導電膜DE1及び第2の導電膜DE2からなる二層積層構造で形成され、そのソース電極SE1/SE2も第1の導電膜SE1及び第2の導電膜SE2からなる二層積層構造で形成されている。

【0030】走査信号配線GL1/GL2の薄膜トランジスタTFTの素子領域で、そのゲート電極をを兼ねており、このゲート電極GL1/GL2と、ドレイン電極（映像信号電極）DE1/DE2及びソース電極SE1/SE2との間は、ゲート絶縁膜G1で絶縁されている。SIはこの薄膜トランジスタTFTの半導体層を、NSIは薄膜トランジスタTFTのソース電極SE1/SE2及びドレイン電極（映像信号電極）DE1/DE2とこの半導体SI層とのコンタクトを保証するための電極を、又、PASは薄膜トランジスタTFTの保護絶縁膜をそれぞれ示す。

【0031】反射画素電極PXAは、この薄膜トランジスタTFTのソース電極SE1/SE2と保護絶縁膜PAS上に開口されたコンタクトホールCHで接続されている。薄膜トランジスタTFTの保護絶縁膜PAS及び反射画素電極PXAの表面には、配向膜ORI1が形成されている。

【0032】これに対し、CF基板SUB2は、その液晶層LC側の面には、TFT基板SUB1上に配置されている画素電極PXAの間隙に、各画素領域を画するようにして遮光パターンBMが形成され、この遮光パターンBMの実質的な画素領域を決定する開口部にはカラーフィルタCFが形成されている。

【0033】そして、遮光パターンBM及びカラーフィルタCFを覆って、例えば樹脂膜からなるオーバーコート膜OCが形成され、このオーバーコート膜OCの表面には共通信号電極CEが形成され、さらにこの共通信号電極CEの表面には配向膜ORI2が形成されている。CF基板SUB2の外側の面（液晶層LC側とは反対側の面）には、入射光及び出射光を拡散するための拡散フィルムSFが形成され、拡散フィルムSFの表面には、位相差板NFを介して、偏光板POLが形成されている。

【0034】そして、薄膜トランジスタTFTは、走査信号配線GL1/GL2に薄膜トランジスタTFTのしきい値以上の電圧が加わると、半導体層SIが導通状態となり、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SE1/

10

SE2との間が導通となって、その際に映像信号配線DL1/DL2に印加されている電圧が、画素電極PXAに伝達される。

【0035】また、走査信号配線GL1/GL2の電圧が薄膜トランジスタTFTのしきい値電圧以下の場合には、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SE1/SE2との間が絶縁状態となり、映像信号配線DL1/DL2に印加されている電圧は画素電極PXAに伝達されず、画素電極PXAは映像信号電極DE1/DE2とソース電極SE1/SE2とが導通状態の時に伝達された電圧を保持する。なお、映像信号電極DE1/DE2及びソース電極SE1/SE2と半導体層SIとの間には、リン(P)等の不純物をドープしたシリコン膜からなる電極NSIが形成されている。電極NSIは、前述したように、映像信号電極DE1/DE2又はソース電極SE1/SE2の第1の導電膜と、半導体層SIとを直接接続した場合にその接触抵抗が高くなるため、これを低減するために設けられているものである。

【0036】コンタクトホールCHは、薄膜トランジスタTFTの保護絶縁膜PASに形成されている。コンタクトホールCH底部においては、ソース電極SE1/SE2を形成する第2の導電膜SE2が消失し、第1の導電膜SE1のモリブデン(Mo)合金膜が露出している。コンタクトホールCHは薄膜トランジスタTFTのソース電極SE1/SE2と反射画素電極PXAとを接続するために形成されており、反射画素電極PXAはコンタクトホールCHの段差を乗り越えて、コンタクトホールCH底部に露出したソース電極SE1/SE2の第1の導電膜SE1に接触し、電気的に接続されている。反射画素電極PXAは偏光板POL側から入射した光を反射させる機能も有しており、反射型液晶表示装置ではこの反射光を用いて表示が行われる。

【0037】配向膜ORI1, ORI2は、その液晶対向面にラビング法等によって表面処理が施され、液晶層LCを一定方向に配向させる機能を有している。偏光板POLは、入射した光を直線偏光に変換する機能を有している。偏光板POL側から入射した光は、位相差板NF、液晶層LCを通り、反射画素電極PXAで反射し、再度液晶層LC、位相差板NFを通過し、偏光板POLに到達する。

【0038】液晶層LC、及び位相差板NFは屈折率異方性を持っており、液晶層LCの屈折率異方性は液晶層LCに印加された電界により、その特性が変化する。例えば、液晶層LCに電界が印加されない状態で白表示をするノーマリーホワイト型においては、液晶層LCに電界がかかっている際には、偏光板POLを通過して反射画素電極PXAで反射し再度偏光板POLに到達した光は、位相差板NFと液晶層LCにより、偏光板POLの吸収軸に対して平行な偏光となり、偏光板POLで吸収されて反射型液晶表示装置の外には出射しないため、黒表示となる。一方で液晶層LCに電界が印加されていない状態においては、位相差板NFと液晶層LCにより、反射画素電極PXAで反射し偏光板POLに到達した光は、偏光板POLの吸収軸に対して垂直な偏光

(7)

11

となり、偏光板POLで吸収されずに反射型液晶表示装置の外に出射するため白表示となる。

【0039】本実施の形態では、図2に示すように、走査信号配線GL1/GL2、及び映像信号配線DL1/DL2により分けられた領域に薄膜トランジスタTFT、画素電極PXAがそれぞれ1つずつ形成され、画素を構成している。なお、薄膜トランジスタTFTが配置されている領域には、薄膜トランジスタTFTの誤動作を防止するために画素電極PXAは配置されていない。映像信号配線DL1/DL2、映像信号電極DE1/DE2、ソース電極SE1/SE2は同一工程で同一材料によって形成されている。

【0040】本実施の形態では、走査信号配線GL1/GL2、映像信号配線DL1/DL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SE1/SE2はいずれも第1の導電膜GL1、DL1、DE1、SE1と第2の導電膜GL2、DL2、DE2、SE2とからなり、第1の導電膜GL1、DL1、DE1、SE1はMoを主成分とする合金からなり、第2の導電膜GL2、DL2、DE2、SE2は第1の導電膜GL1、DL1、DE1、SE1の上に位置し、Agを主成分とする合金膜が用いられている。反射画素電極PXAには、Alを主成分とした合金膜が用いられている。次に、第1の実施の形態の反射型液晶表示装置の基板SUB1端部の形状、電気回路、及び外部駆動回路と接続する端子部分の形状について説明する。

【0041】図3は第1の実施の形態のアクティブマトリックス反射型液晶表示装置の電気回路の概略図である。図4は第1の実施の形態のアクティブマトリックス反射型液晶表示装置の基板端部の断面模式図である。なお、図4において、図4(a)は走査信号配線用端子GTMが配置される側の端部の、図4(b)は図4(a)とは反対側の端部の模式図を示す。

【0042】図3の電気回路に示すとおり、x方向に延在され、y方向に複数並設される前記各走査信号配線GL1/GL2には、走査信号配線用端子GTMを介して、垂直走査回路Vから順次走査信号(電圧信号)が供給される。走査信号配線GL1/GL2に沿って配置されている各画素領域の薄膜トランジスタTFTは、この走査信号によって駆動される。そして、この走査信号のタイミングに合わせて、映像信号駆動回路Hから、映像信号配線用端子DTMを介して、y方向に延在され、x方向に複数並設されている各映像信号配線DL1/DL2に映像信号が供給される。この映像信号は、各画素領域の該薄膜トランジスタTFTを介して、反射画素電極PXAに伝達される。共通信号電極CEには、共通信号配線用端子CTMを介して対向電圧が印加されており、画素電極PXAと共通信号電極CEとの間には電界が発生する。この電界により、液晶層LCの光透過率が制御される構成になっている。同図において、各画素領域に示したR、G、Bの各符号は、各画素領域のカラーフィルタCFがそれぞれ赤色用フィルタ、緑色用フィルタ、青色用フィルタになっていることを示している。

【0043】TFT基板SUB1のCF基板SUB2に対する固定

12

は、図4に示すようにCF基板SUB2の周辺に形成されたシール材SLによってなされ、液晶層LCはこのシール材SLで囲んだ領域内に充填される。このシール材SLの外側、TFT基板SUB1の周辺で、CF基板SUB2によって覆われていない領域には、それぞれ、走査信号配線用端子GTM、映像信号配線用端子DTM、共通信号配線用端子CTMが形成されている。図4では、このうち、走査信号配線用端子GTMを例示してある。

【0044】各端子は、導電粒子を接着剤中に分散させた異方性導電膜を介して、例えばTCP(Tape Carrier Package)、又はCOG(Chip On Glass)等の接続方式により、図3で前述した外部駆動回路V、Hと接続される。なお、このシール材SLの一部には、図示しない液晶封入口があり、ここから液晶LCを封入した後は、液晶封止材によって封止がなされる。

【0045】図5は、第1の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。図6は、本実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【0046】走査信号配線用端子GTM部分は、図5に示すように、まず、透明絶縁基板SUB1上の走査信号配線用端子GTM部分を形成する領域に、走査信号配線GL1/GL2の延在部を形成して作製される。さらに、走査信号配線GL1/GL2を覆って、ゲート絶縁膜GI及び薄膜トランジスタTFTの保護絶縁膜PASが順次積層され、これらゲート絶縁膜GI及び保護絶縁膜PASに設けたスルーホールTHによって、走査信号配線GL1/GL2の延在部の一部が露出される。このときフッ素プラズマを用いたドライエッチング加工により、保護絶縁膜PAS及びゲート絶縁膜GIにスルーホールTHを開口するが、ドライエッチング加工工程においてスルーホールTH底部の走査信号配線GL1/GL2を形成する第2の導電膜GL2が消失するため、スルーホールTH底部では走査信号配線GL1/GL2を形成する第1の導電膜GL1が露出する。その上にパッド電極TCAが反射画素電極PXAを形成した際と同一の材料で、かつ同一の工程で形成され、走査信号配線用端子GTMが形成される。このパッド電極TCAは、スルーホールTHを介して、走査信号配線GL1/GL2を形成する第1の導電膜GL1と電気的に接続される。

【0047】映像信号配線用端子DTM部分は、図6に示すように、まず、透明絶縁基板SUB1上にゲート絶縁膜GIが形成されたのち、映像信号配線用端子DTMが形成される領域に映像信号配線DL1/DL2の延在部を形成して作製される。その後、薄膜トランジスタTFTの保護絶縁膜PASが形成され、映像信号配線用端子DTMが形成される領域のうち、後の工程で作製するパッド電極TCAが形成され

(8)

13

る領域の一部に、スルーホールTHが開口される。このときフッ素プラズマを用いたドライエッチング加工により保護絶縁膜PASにスルーホールTHを開口するが、スルーホールTH底部の映像信号配線DL1/DL2を形成する第2の導電膜DL2が消失するため、スルーホールTH底部では映像信号配線DL1/DL2を形成する第1の導電膜DL1が露出する。その上にパッド電極TCAが反射画素電極PXAを形成した際と同一の材料で、かつ同一の工程で形成され、映像信号配線用端子DTMが形成される。このパッド電極TCAはスルーホールTHを介して、映像信号配線DL1/DL2を形成する第1の導電膜DL1と電気的に接続される。次に、第1の実施の形態のアクティブマトリックス反射型液晶表示装置の形成方法の具体例を、TFT基板の各製造工程ごとの要部断面図を用いて、図7及び図8により説明する。

【0048】図7は、第1の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。図8は、図7のプロセスフローに従ってTFT基板を作製した際の、前記図2中に記した矢視方向に対応させて眺めた断面図である。

【0049】第1の実施の形態のアクティブマトリックス反射型液晶表示装置においては、具体的には(A)～(E)の5段階のホトリソグラフィー工程を経てTFT基板SUB1が完成する。以下、工程順に説明する。

#### 工程(A)

透明絶縁基板SUB1を用意し、その表面全域に、例えばスパッタリング法によって、Moを主成分としジルコニウム(Zr)を添加したMo合金膜(以下、Mo-Zrと略称する)を20～100nm、好ましくは40nm、さらにその上にAgを主成分としパラジウム(Pd)を添加したAg合金膜(以下、Ag-Pd合金と略称する)を100～300nm、好ましくは160nmの膜厚で連続形成する。次に、ホトリソグラフィー技術を用いて、Mo-Zr膜、Ag-Pd膜を一括で自己整合的に選択エッチングし、走査信号配線GL1/GL2、及び走査信号配線用端子GTM形成領域には走査信号配線GL1/GL2の延在部を形成する。

#### 【0050】工程(B)

透明絶縁基板SUB1の表面全域に、例えばプラズマCVD法によって、ゲート絶縁膜GIとなる窒化シリコン膜(SiN膜)を200～700nm程度、好ましくは350nmの膜厚で形成する。さらに、このゲート絶縁膜GIの表面全域に、例えばプラズマCVD法によって、アモルファスシリコン膜(a-Si膜)を50～300nm、好ましくは200nmの膜厚で、及びn型不純物としてリン(P)をドーピングしたアモルファスシリコン膜(n-Si膜)を10～100nm、好ましくは20nmの膜厚で順次積層する。次に、ホトリソグラフィー技術を用いて、二層のアモルファスシリコン膜(a-Si膜、n-Si膜)をエッチングし、画素領域内に薄膜トランジスタTFTの半導体層SI及び電極NSIを形成する。

#### 【0051】工程(C)

14

透明絶縁基板SUB1の表面全域に、例えばスパッタリング法によって、Mo-Zr膜を20～100nm、好ましくは40nm、Ag-Pd合金膜を100～300nm、好ましくは160nmの膜厚で連続形成する。次に、ホトリソグラフィー技術を用いて、Mo-Zr膜、Ag-Pd膜を一括で自己整合的に選択エッティングし、画素領域内には薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SE1/SE2、及び映像信号配線DL1/DL2を、また映像信号配線用端子DTM形成領域には、映像信号配線DL1/DL2の延在部を形成する。その後、Mo-Zr膜、Ag-Pd膜をエッティングしたパターンをマスクとして、n型不純物としてリンをドーピングしたアモルファスシリコン膜(n-Si膜)をエッティングする。

#### 【0052】工程(D)

透明絶縁基板SUB1の表面の全域に、例えばプラズマCVD法によって、薄膜トランジスタTFTの保護絶縁膜PASとなる窒化シリコン膜(SiN膜)を200nm～900nm、好ましくは350nmの膜厚で形成する。次に、ホトリソグラフィー技術を用いて、保護絶縁膜PASをエッティングし、画素領域内に、該薄膜トランジスタTFTのソース電極SE1/SE2の一部を露出するためのコンタクトホールCHを形成する。これとともに、走査信号配線用端子GTM形成領域には、保護絶縁膜PASの下層に位置するゲート絶縁膜GIにまでスルーホールTHを貫通させて、走査信号配線GL1/GL2の一部を露出させるためのスルーホールTHを形成する。映像信号配線用端子DTM形成領域には、映像信号配線DL1/DL2の延在部を露出するためのスルーホールTHを形成する。このドライエッチング工程において、コンタクトホールCH、及びスルーホールTHを開口した領域に存在する第2の導電膜SE2、GL2、DL2はフッ化銀に変質する。続いてコンタクトホールCH、スルーホールTH底部の第2の導電膜SE2、GL2、DL2のフッ化銀を蔥酸を用いて選択的に溶解除去する。

#### 【0053】工程(E)

透明絶縁基板SUB1の表面全域に、例えばスパッタリング法によって、反射画素電極PXAとなるAlを主成分とし、ネオジム(Nd)を含有したAl合金膜(以下、Al-Nd膜と略称する)を50～300nm、好ましくは200nm形成する。次に、ホトリソグラフィー技術を用いて、Al-Nd膜をエッティングし、画素領域内には、コンタクトホールCHを介して、ソース電極SE1/SE2と接続された画素電極PXAを形成するとともに、走査信号配線用端子GTM形成領域、及び映像信号配線用端子DTM形成領域には、スルーホールTHを介して、接続用のパッド電極TCAを形成する。以上に示した工程により、TFT基板SUB1側が完成する。

【0054】一方、CF基板SUB2側には顔料分散法により作製したカラーフィルタCF、及びクロム(Cr)系、もしくは有機材料からなる遮光パターンBMが形成される。その後、平坦化層となるオーバーコート膜OCを形成し、TFT基板SUB1とCF基板SUB2を貼り合せ、間に液晶層LCを封入し、CF基板SUB2の外側に偏光板POLを配置することによ

50

(9)

15

り反射型液晶表示装置となる。

【0055】本実施の形態によれば、薄膜トランジスタTFTのソース電極SE1/SE2を第1の導電膜SE1と第2の導電膜SE2の二層積層構造とし、第1の導電膜SE1をMo合金とし、第2の導電膜SE2をMo合金の上層に形成したAg合金とすることにより、1回のホトリソグラフィー工程でソース電極SE1/SE2を形成することができる。さらに、保護絶縁膜PASにコンタクトホールCHを開口する際に使用するフッ素プラズマによるドライエッチングによりソース電極SE1/SE2の第2の導電膜SE2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための蔥酸エッチングを実施することにより第1の導電膜SE1のMo合金を露出するためのホトリソグラフィー工程を増やすことなく、ソース電極SE1/SE2と画素電極PXAとを低く安定した接触抵抗で接続することができる。

【0056】本実施の形態によれば、映像信号配線DL1/DL2、走査信号配線GL1/GL2を第1の導電膜DL1、GL1と第2の導電膜DL2、GL2の二層積層構造とし、第1の導電膜DL1、GL1をMo合金とし、第2の導電膜DL2、GL2をMo合金の上層に形成したAg合金とすることにより、1回のホトリソグラフィー工程で映像信号配線DL1/DL2、走査信号配線GL1/GL2を形成することができる。さらに、保護絶縁膜PASにスルーホールTHを開口する際に使用するフッ素プラズマによるドライエッチングにより映像信号配線DL1/DL2及び走査信号配線GL1/GL2の第2の導電膜DL2、GL2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための蔥酸エッチングを実施することにより、第1の導電膜DL1、GL1のMo合金を露出するためのホトリソグラフィー工程を増やすことなく、走査信号配線GE1/GE2及び映像信号配線DL1/DL2と、パッド電極TCAとを低く安定した接触抵抗で接続することができる。

【0057】本実施の形態によれば、コンタクトホールCH側壁部に存在するソース電極SE1/SE2を形成するAg合金からなる第2の導電膜SE2は、反射画素電極PXAによりその表面が被覆されており露出しない構造となっているため、Ag合金の腐食を防ぐことができる。

【0058】本実施の形態によれば、スルーホールTH側壁部に存在する映像信号配線DL1/DL2を形成する第2の導電膜DL2、及び走査信号配線GE1/GE2を形成する第2の導電膜GE2は、パッド電極TCAによりその表面が被覆されており露出しない構造となっているため、Ag合金の腐食を防ぐことができる。

【0059】【第2の実施の形態】次に本発明の第2の実施の形態を図9から図14を用いて説明する。図9から図14において、前述の第1の実施の形態と同一の構成要素については同一の符号を付して重複する説明を省略する。図9は、本発明の第2の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【0060】図10は、第2の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜ト

16

ンジスタが配置される側の透明絶縁基板の平面図である。なお、図9は図10中に記したA-A'矢視方向、B-B'矢視方向に眺めた断面図を合成したものである。

【0061】図において、PXiは多結晶のインジウム錫酸化物(以下、p-ITOと略称する)からなる透過画素電極、TCI(後述の図11、図12参照)はp-ITOからなるパッド電極、RP1/RP2は反射板を、POL2は円偏光板を、BLはバックライトをそれぞれ示すとともに、RP1は反射板RP1/RP2を形成する第1の導電膜を、RP2は反射板RP1/RP2を形成する第2の導電膜RP2を示す。

【0062】本実施の形態のアクティブマトリックス反射型液晶表示装置においては、図9に示すように、TFT基板SUB1には、画素電極としての透過画素電極PXiが配置される。透過画素電極PXiは薄膜トランジスタTFTのソース電極SE1/SE2と電気的に接続されている。

【0063】薄膜トランジスタTFTは走査信号配線GL1/GL2に薄膜トランジスタTFTのしきい値以上の電圧が加わると、半導体層SIが導通状態となり、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SE1/SE2との間が導通となる。その際に映像信号配線DL1/DL2に印加されている電圧が、透過画素電極PXiに伝達される。

【0064】これに対して、走査信号配線GL1/GL2の電圧が薄膜トランジスタTFTのしきい値以下の場合には、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SE1/SE2との間が絶縁となり、映像信号配線DL1/DL2に印加されている電圧は透過画素電極PXiに伝達されず、透過画素電極PXiは映像信号電極DE1/DE2とソース電極SE1/SE2間が導通状態の時に伝達された電圧を保持する。

コンタクトホールCHは薄膜トランジスタTFTのソース電極SE1/SE2と透過画素電極PXiとを接続するために形成されており、透過画素電極PXiはコンタクトホールCHの段差を乗り越えて、コンタクトホールCH底部に露出したソース電極SE1/SE2に接触し、電気的に接続されている。また、TFT基板SUB1の薄膜トランジスタTFTを配置していない側にはバックライトBLからの光を円偏光に変換するための円偏光板POL2が配置されている。円偏光板POL2は直線偏光に変換するための偏光板と4/入位相差板を積層した構成である。

【0065】本実施の形態では、図10に示すように、走査信号配線GL1/GL2、及び映像信号配線DL1/DL2により分けられた領域に、薄膜トランジスタTFT、透過画素電極PXi、及び反射板RP1/RP2がそれぞれ1つずつ形成され、画素を構成している。反射板RP1/RP2は最表面が高反射率のAg合金を用いており、偏光板POL側から入射した光を反射する機能を有している。

【0066】ここで、反射板RP1/RP2と透過画素電極PXiが重畳している領域においては、図示していないCF基板SUB2の偏光板POL側から入射した光を反射板RP1/RP2により反射し外光を利用した反射表示を行い、透過画素電極PXiが存在し、反射板RP1/RP2と透過画素電極PXiが重畳

(10)

17

していない領域においては、図示していないTFT基板SUB1の薄膜トランジスタTFTを配置していない側に配置されたバックライトBLから出射された光を用いて透過表示をする。

【0067】本実施の形態では、走査信号配線GL1/GL2、映像信号配線DL1/DL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SE1/SE2、及び反射板RP1/RP2はいずれも第1の導電膜GL1, DL1, DE1, SE1, RP1と第2の導電膜GL2, DL2, DE2, SE2, RP2とからなり、第1の導電膜GL1, DL1, DE1, SE1, RP1はMo合金からなり、第2の導電膜GL2, DL2, DE2, SE2, RP2は第1の導電膜GL1, DL1, DE1, SE1, RP1の上に位置して、Ag合金膜が用いられている。透過画素電極PXiには多結晶のITO膜が用いられている。

【0068】図11は、第2の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。図12は、第2の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【0069】走査信号配線用端子GTM部分は、図11に示すように、まず、透明絶縁基板SUB1上の走査信号配線用端子GTM部分を形成する領域に、走査信号配線GL1/GL2の延在部が形成して作製される。さらに走査信号配線GL1/GL2を覆ってゲート絶縁膜GI、及び薄膜トランジスタTFTの保護絶縁膜PASが順次積層され、これらゲート絶縁膜GI、及び保護絶縁膜PASに設けたスルーホールTHによって、走査信号配線GL1/GL2の延在部の一部が露出される。このときフッ素プラズマを用いたドライエッチング加工により、保護絶縁膜PAS及びゲート絶縁膜GIにスルーホールTHを開口するが、ドライエッチング加工工程においてスルーホールTH底部の走査信号配線GL1/GL2を形成する第2の導電膜GL2が消失するため、スルーホールTH底部では走査信号配線GL1/GL2を形成する第1の導電膜GL1が露出する。その上にパッド電極TCIが透過画素電極PXiを形成した際と同一の材料で、かつ同一の工程で形成され、走査信号配線用端子GTMが形成される。このパッド電極TCIはスルーホールTHを介して、走査信号配線GL1/GL2を形成する第1の導電膜GL1と電気的に接続される。

【0070】映像信号配線用端子DTM部分は、図12に示すように、まず、透明絶縁基板SUB1上にゲート絶縁膜GIが形成されたのち、映像信号配線用端子DTMが形成される領域に映像信号配線DL1/DL2の延在部を形成して作製される。その後、薄膜トランジスタTFTの保護絶縁膜PASが形成され、映像信号配線用端子DTMが形成される領域のうち、後の工程で作製する、パッド電極TCIが形成される領域の一部にスルーホールTHが開口される。このときフッ素プラズマを用いたドライエッチング加工によ

(10)

18

り保護絶縁膜PASにスルーホールTHを開口するが、スルーホールTH底部の映像信号配線DL1/DL2を形成する第2の導電膜DL2が消失するため、スルーホールTH底部では映像信号配線DL1/DL2を形成する第1の導電膜DL1が露出する。その上にパッド電極TCIが透過画素電極PXiを形成した際と同一の材料で、かつ同一の工程で形成され、映像信号配線用端子DTMが形成される。このパッド電極TCIはスルーホールTHを介して、映像信号配線に用いる第1の導電膜DL1と電気的に接続される。次に、第2の実施形態のアクティブマトリックス反射型液晶表示装置の形成方法の具体例を、TFT基板SUB1の各製造工程ごとの要部断面図を用いて、図13及び図14により説明する。

【0071】図13は、第2の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。図14は、図13のプロセスフローに従ってTFT基板を作製した際の、前記図10中に記した矢視方向に対応させて眺めた断面図である。

【0072】第2の実施形態においては、具体的には(A)～(E)の6段階のホトリソグラフィー工程を経てTFT基板SUB1が完成する。(B)～(D)の工程については前述した第1の実施形態の場合と同様であるためその説明を省略する。

#### 工程(A)

透明絶縁基板SUB1を用意し、その表面全域に、例えばスパッタリング法によって、Moを主成分としZrを添加したMo合金膜(以下、Mo-Zrと略称する)を20～100nm、好ましくは40nm、さらにその上にAgを主成分としPdを添加したAg合金膜(以下、Ag-Pd合金と略称する)を100～300nm、好ましくは160nmの膜厚で連続形成する。次に、ホトリソグラフィー技術を用いて、Mo-Zr膜、Ag-Pd膜を一括で自己整合的に選択エッチングし、走査信号配線GL1/GL2、及び走査信号配線用端子GTM形成領域には走査信号配線GL1/GL2の延在部を形成するとともに、さらに反射板RP1/RP2を形成する。

#### 【0073】工程(E)

透明絶縁基板SUB1の表面全域に、例えばスパッタリング法によって、透過画素電極PXiとなるp-ITO膜を50～300nm、好ましくは140nm形成する。次に、ホトリソグラフィー技術を用いて、p-ITO膜をエッチングし、画素領域内には、コンタクトホールCHを介して、薄膜トランジスタTFTのソース電極SE1/SE2と接続された透過画素電極PXiを形成するとともに、走査信号配線用端子GTM形成領域、共通信号配線用端子CTM形成領域、及び映像信号配線用端子DTM形成領域には接続用のパッド電極TCIを形成する。

【0074】本実施の形態のアクティブマトリックス反射型液晶表示装置の電気回路の概略図、及びアクティブマトリックス反射型液晶表示装置の基板端部の断面模式図は、その構成が第1の実施形態と同様であるため、そ

(11)

19

の説明を省略する。本実施の形態によれば、薄膜トランジスタTFTのソース電極SE1/SE2を第1の導電膜SE1と第2の導電膜SE2との二層積層構造とし、第1の導電膜SE1をMo合金とし、第2の導電膜SE2をMo合金の上層に形成したAg合金とすることにより、1回のホトリソグラフィー工程でソース電極SE1/SE2を形成することができる。さらに、保護絶縁膜PASにコンタクトホールCHを開口する際に使用するフッ素プラズマによるドライエッチングによりソース電極SE1/SE2の第2の導電膜SE2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための薬酸エッチングを実施することにより、第1の導電膜SE1のMo合金を露出するためのホトリソグラフィー工程を増やすことなく、ソース電極SE1/SE2と画素電極PXAとを低く安定した接触抵抗で接続することができる。

【0075】本実施の形態によれば、映像信号配線DL1/DL2、走査信号配線GL1/GL2を第1の導電膜DL1, GL1と第2の導電膜DL2, GL2の二層積層構造とし、第1の導電膜DL1, GL1をMo合金とし、第2の導電膜DL2, GL2をMo合金の上層に形成したAg合金とすることにより、1回のホトリソグラフィー工程で映像信号配線DL1/DL2、走査信号配線GL1/GL2を形成することができる。さらに、保護絶縁膜PASにスルーホールTHを開口する際に使用するフッ素プラズマによるドライエッチングによりソース電極SE1/SE2の第2の導電膜SE2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための薬酸エッチングを実施することにより第1の導電膜SE1のMo合金を露出するためのホトリソグラフィー工程を増やすことなく、ソース走査信号配線GE1/GE2及び映像信号配線DL1/DL2と、パッド電極TCAとを低く安定した接触抵抗で接続することができる。

【0076】本実施の形態によれば、コンタクトホールCH側壁部に存在するソース電極SE1/SE2を形成するAg合金からなる第2の導電膜SE2は、透過画素電極PXAによりその表面が被覆されており、露出しない構造となっているため、Ag合金の腐食を防ぐことができる。

【0077】本実施の形態によれば、スルーホールTH側壁部に存在する映像信号配線DL1/DL2に用いる第2の導電膜DL2、及び走査信号配線GE1/GE2に用いる第2の導電膜GE2は、パッド電極TCIによりその表面が被覆されており、露出しない構造となっているため、Ag合金の腐食を防ぐことができる。本実施の形態によれば、反射板RP1/RP2を形成するためのプロセスを増やすことなく、透過表示と反射表示が可能な反射型液晶表示装置の構成を提供できる。

【0078】【第3の実施の形態】次に本発明の第3の実施の形態を図15から図20を用いて説明する。図15から図20において、前述の第1、2の実施の形態と同一の構成要素については同一の符号を付して重複する説明を省略する。

【0079】図15は、本発明の第3の実施の形態のア

20

クティブマトリックス反射型液晶表示装置の断面図である。図16は、第3の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板側の平面図である。なお、図15はこの図16中に記したA-A'矢視方向、B-B'矢視方向に眺めた断面図を合成したものである。

【0080】図において、PXAはアモルファスのインジウム亜鉛酸化物(以下a-IZOと略称する)からなる透過画素電極を、TCIA(図17、図18参照)はアモルファスのインジウム亜鉛酸化物からなるパッド電極を、SEP1/SEP2は反射板としての機能を具備したソース電極を、SEP1はこのソース電極SEP1/SEP2に用いる第1の導電膜を、SEP2はこのソース電極SEP1/SEP2に用いる第2の導電膜をそれぞれ示す。

【0081】本実施の形態においては、図15に示すように画素電極として透過画素電極PXAを配置している。透過画素電極PXAは薄膜トランジスタTFTのソース電極SEP1/SEP2と電気的に接続されている。薄膜トランジスタTFTは走査信号配線GL1/GL2に薄膜トランジスタTFTのしきい値以上の電圧が加わると、半導体層SIが導通状態となり、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SEP1/SEP2との間が導通となる。その際に映像信号配線DL1/DL2に印加されている電圧が、透過画素電極PXAに伝達される。

【0082】また、走査信号配線GL1/GL2の電圧が、薄膜トランジスタTFTのしきい値電圧以下の場合には、薄膜トランジスタTFTの映像信号電極DE1/DE2とソース電極SEP1/SEP2との間が絶縁状態となり、映像信号配線DL1/DL2に印加されている電圧は透過画素電極PXAに伝達されず、透過画素電極PXAは映像信号電極DE1/DE2とソース電極SEP1/SEP2との間が導通状態の時に伝達された電圧を保持する。コンタクトホールCHは薄膜トランジスタTFTのソース電極SEP1/SEP2と透過画素電極PXAとを接続するため形成されており、透過画素電極PXAはコンタクトホールCHの段差を乗り越えて、コンタクトホールCH底部に露出したソース電極SEP1/SEP2に接触し、電気的に接続されている。またTFT基板SUB1の薄膜トランジスタTFTを配置していない側にはバックライトBLからの光を円偏光に変換するための円偏光板POL2が配置されている。

40  
円偏光板POL2は直線偏光に変換するための偏光板と4/入位相差板を積層した構成である。

【0083】本実施の形態では図16に示すように、走査信号配線GL1/GL2、及び映像信号配線DL1/DL2により分けられた領域に薄膜トランジスタTFT、透過画素電極PXA、がそれぞれ1つずつ形成され、画素を構成している。ソース電極SEP1/SEP2は反射板としての機能を具備しており、偏光板POL側から入射した光を反射する機能を有している。ここで、ソース電極SEP1/SEP2と透過画素電極PXAが重畠している領域においては、図示していない50  
CF基板SUB2の偏光板POL側から入射した光をソース電極S

(12)

21

EP1/SEP2により反射し外光を利用した反射表示を行い、透過画素電極PXIAが存在し、ソース電極SEP1/SEP2と透過画素電極PXIAとが重畠していない領域においては、図示していないTFT基板SUB1の薄膜トランジスタTFTを配置していない側に配置されたバックライトBLから出射された光を用いて透過表示をする。

【0084】本実施の形態では走査信号配線GL1/GL2、映像信号配線DL1/DL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SEP1/SEP2、及び反射板RP1/RP2はいずれも第1の導電膜GL1, DL1, DE1, SEP1, RP1と第2の導電膜GL2, DL2, DE2, SEP2, RP2からなり、第1の導電膜GL1, DL1, DE1, SEP1, RP1はMo合金からなり、第2の導電膜GL2, DL2, DE2, SEP2, RP2は第1の導電膜GL1, DL1, DE1, SEP1, RP1の上に位置し、Ag合金膜が用いられている。

【0085】本実施の形態では、図16に示すように、走査信号配線GL1/GL2、及び映像信号配線DL1/DL2により分けられた領域に薄膜トランジスタTFT、透過画素電極PXIAがそれぞれ1つずつ形成され、画素を構成している。ソース電極SEP1/SEP2の最表面は高い反射率を示すAg合金が用いられており、薄膜トランジスタTFTのソース電極SEP1/SEP2としての機能のほかに反射板としての機能も兼備している。ソース電極SEP1/SEP2と透過画素電極PXIAとが重畠している領域においては、図示していないC F基板SUB2の偏光板POL側から入射した光をソース電極SEP1/SEP2により反射し、外光を利用した反射表示を行い、透過画素電極PXIAが存在し、ソース電極SEP1/SEP2と透過画素電極PXIAが重畠していない領域においては図示していないTFT基板SUB1の薄膜トランジスタTFTを配置していない側に配置されたバックライトBLから出射された光を用いて透過表示をする。

【0086】図17は、第3の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図である。図18は、第3の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図である。

【0087】走査信号配線用端子GTM部分は、図17に示すように、まず、透明絶縁基板SUB1上の走査信号配線用端子GTM部分を形成する領域に、走査信号配線GL1/GL2の延在部を形成して作製される。さらに走査信号配線GL1/GL2を覆ってゲート絶縁膜GI、及び薄膜トランジスタTFTの保護絶縁膜PASが順次積層され、これらゲート絶縁膜GI、及び保護絶縁膜PASに設けたスルーホールTHによって、走査信号配線GL1/GL2の延在部の一部が露出される。このときフッ素プラズマを用いたドライエッチング加工により保護絶縁膜PAS、及びゲート絶縁膜GIにスルーホールTHを開口するが、ドライエッチング加工工程においてスルーホールTH底部の走査信号配線GL1/GL2を形

22

成する第2の導電膜GL2が消失するため、スルーホールTH底部では走査信号配線GL1/GL2を形成する第1の導電膜GL1が露出する。その上にパッド電極TCIAが透過画素電極PXIAを形成した際と同一の材料で、かつ同一の工程で形成され、走査信号配線用端子GTMを形成する。このパッド電極TCIAはスルーホールTHを介して、走査信号配線GL1/GL2を形成する第1の導電膜GL1と電気的に接続される。ここで走査信号配線端子GTM部分において、パッド電極TCIAはスルーホールTH側壁部にある走査信号配線GL1/GL2を形成する第2の導電膜GL2を被覆するための電極であり、この異方性導電膜を介しての外部駆動回路Vとの接続は、スルーホールTH底部にある走査信号配線GL1/GL2の第1の導電膜GL1のMo合金が利用される。

【0088】映像信号配線用端子DTM部分は、図18に示すように、まず、透明絶縁基板SUB1上にゲート絶縁膜GIが形成されたのち、映像信号配線用端子DTMが形成される領域に映像信号配線DL1/DL2の延在部を形成して作製される。その後、薄膜トランジスタTFTの保護絶縁膜PASが形成され、映像信号配線用端子DTMが形成される領域のうち、後の工程で作製するパッド電極TCIAが形成される領域の一部に、スルーホールTHが開口される。このときフッ素プラズマを用いたドライエッチング加工により保護絶縁膜PASにスルーホールTHを開口するが、スルーホールTH底部の映像信号配線DL1/DL2を形成する第2の導電膜DL2が消失するため、スルーホールTH底部では映像信号配線DL1/DL2を形成する第1の導電膜DL1が露出する。その上にパッド電極TCIAが透過画素電極PXIAを形成した際と同一の材料で、同一の工程で形成され、走査信号配線用端子GTMを形成する。ここで映像信号配線端子DTM部分において、パッド電極TCIAはスルーホールTH側壁部にある映像信号配線DL1/DL2の第2の導電膜DL2のAg合金を被覆するための電極であり、異方性導電膜を介しての外部駆動回路Hとの接続は、スルーホールTH底部にある映像信号配線DL1/DL2の第1の導電膜DL1のMo合金が利用される。

【0089】次に、第3の実施の形態のアクティブマトリックス反射型液晶表示装置形成方法の具体例を、TFT基板SUB1の各製造工程ごとの要部断面図を用いて、図19及び図20により説明する。図19は、第3の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。図20は、図19のプロセスフローに従ってTFT基板を作製した際の、前記図16中に記した矢視方向に対応させて眺めた断面図である。

【0090】第3の実施形態においては、具体的には(A)～(E)の6段階のホトリソグラフィー工程を経てTFT基板SUB1が完成する。(A)～(B)の工程については前述した第1の実施形態の場合と同様であるため、その説明を省略する。

50 工程(C)

(13)

23

透明絶縁基板SUB1を用意し、その表面全域に、例えばスパッタリング法によって、Mo-Zr膜を20~100nm、好ましくは40nm、Ag-Pd合金を100~300nm、好ましくは160nmの膜厚で連続形成する。次に、ホトリソグラフィー技術を用いて、Mo-Zr膜、Ag-Pd膜を一括で自己整合的に選択エッチングし、画素領域内には薄膜トランジスタTFTの映像信号電極DE1/DE2、反射板としての機能を具備したソース電極SEP1/SEP2、及び映像信号配線DL1/DL2を、また映像信号配線用端子DTM形成領域には、映像信号配線DL1/DL2の延在部を形成する。その後、Mo-Zr膜、Ag-Pd膜をエッティングしたパターンをマスクとして、n型不純物としてリンをドーピングしたアモルファスシリコン膜をエッチングする。

## 【0091】工程(D)

透明絶縁基板SUB1の表面の全域に、例えばプラズマCVD法によって、薄膜トランジスタTFTの保護絶縁膜PASとなる窒化シリコン膜(SiN膜)を200nm~900nm、好ましくは350nmの膜厚で形成する。次に、ホトリソグラフィー技術を用いて、保護絶縁膜PASをエッティングし、画素領域内に反射板としての機能を具備したソース電極SEP1/SEP2の一部を露出するためのコンタクトホールCHを形成する。これとともに、走査信号配線GTM形成領域には、保護絶縁膜PASの下層に位置するゲート絶縁膜GIにまで、スルーホールTHを貫通させて、走査信号配線GL1/GL2の一部を露出させるためのスルーホールTHを形成する。映像信号配線用端子DTM形成領域には映像信号配線DL1/DL2の延在部を露出するためのスルーホールTHを形成する。このドライエッティング工程において、コンタクトホールCH、及びスルーホールTHを開口した領域に存在する第2の導電膜SEP1, GL1, DL1はフッ化銀に変質する。続いてコンタクトホールCH、スルーホールTH底部の第2の導電膜SEP1, GL1, DL1のフッ化銀を塩酸を用いて選択的に溶解除去する。

## 【0092】工程(E)

透明絶縁基板SUB1の表面全域に、例えばスパッタリング法によって、透過画素電極PXIAとなるa-IZO膜を50~300nm、好ましくは115nm形成する。次に、ホトリソグラフィー技術を用いて、a-IZO膜をエッティングし、画素領域内には、コンタクトホールCHを介して、反射板としての機能を具備したソース電極SEP1/SEP2と接続された透過画素電極PXIAを形成するとともに、走査信号配線用端子GTM形成領域、共通信号配線端子CTM形成領域、及び映像信号配線用端子DTM形成領域には、接続用のパッド電極TCIAを形成する。

【0093】本実施の形態によれば、反射板としての機能を具備したソース電極SEP1/SEP2を第1の導電膜SEP1と第2の導電膜SEP2の二層積層構造とし、第1の導電膜SEP1をMo合金とし、第2の導電膜SEP2をMo合金の上層にありAg合金とすることにより、1回のホトリソグラフィー工程でソース電極SEP1/SEP2を形成することができ

24

る。さらに、保護絶縁膜PASにコンタクトホールCHを開口する際に使用するフッ素プラズマによるドライエッティングによりソース電極SEP1/SEP2の第2の導電膜SEP2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための塩酸エッティングを実施することにより第1の導電膜SEP1のMo合金を露出するためのホトリソグラフィー工程を増やすことなくソース電極SEP1/SEP2と画素電極PXIAとを低く安定した接触抵抗で接続することができる。

【0094】本実施の形態によれば、映像信号配線DL1/DL2、走査信号配線GL1/GL2を第1の導電膜DL1, GL1と第2の導電膜DL2, GL2の二層積層構造とし、第1の導電膜DL1, GL1をMo合金とし、第2の導電膜DL2, GL2をMo合金の上層にありAg合金とすることにより、1回のホトリソグラフィー工程で映像信号配線DL1/DL2、走査信号配線GL1/GL2を形成することができた。さらに、保護絶縁膜PASにスルーホールTHを開口する際に使用するフッ素プラズマによるドライエッティングにより映像信号配線DL1/DL2及び走査信号配線GL1/GL2の第2の導電膜DL2, GL2のAg合金がフッ化銀に変質する。その後フッ化銀を除去するための塩酸エッティングを実施することにより第1の導電膜DL1, GL1のMo合金を露出するためのホトリソグラフィー工程を増やすことなく走査信号配線GE1/GE2、及び映像信号配線DL1/DL2とパッド電極TCIAとを低く安定した接触抵抗で接続することができる。

【0095】本実施の形態によれば、コンタクトホールCH側壁部に存在するソース電極SEP1/SEP2を形成するAg合金からなる第2の導電膜SE2は反射画素電極PXIAによりその表面が被覆されており、露出しない構造となっているため、Ag合金の腐食を防ぐことができる。

【0096】本実施の形態によれば、スルーホールTH側壁部に存在する映像信号配線DL1/DL2を形成する第2の導電膜DL2、及び走査信号配線GE1/GE2に用いる第2の導電膜GE2はパッド電極TCIAによりその表面が被覆されており、露出しない構造となっているため、Ag合金の腐食を防ぐことができる。本実施の形態によれば、反射板を形成するためのプロセスを増やすことなく、透過表示と反射表示が可能な反射型液晶表示装置の構成を提供できる。

【0097】本実施の形態によれば、走査信号配線端子GTM部分、及び映像信号配線用端子DTM部分において、走査信号配線GE1/GE2に用いる第1の導電膜GE1、及び映像信号配線DL1/DL2に用いる第1の導電膜DL1を露出した構造とすることにより、走査信号配線端子GTM部分及び映像信号配線端子DTM部分と異方性導電膜とを低く安定した抵抗で接続することができる。

【0098】【第4の実施の形態】次に本発明の第4の実施の形態を図21から図26を用いて説明する。図21から図26において、前述の第1乃至3の実施の形態と同一の構成要素については同一の符号を付して重複す

(14)

25

る説明を省略する。図21は、本発明の第4の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【0099】図22は、第4の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板側の平面図である。なお、図21はこの図22中に記したA-A'矢視方向、B-B'矢視方向に眺めた断面図を合成したものである。

【0100】図21において、UNEは塗布型絶縁膜を示す。図21に示すように、本実施の形態では、反射画素電極PXAとソース電極SE1/SE2との間に保護絶縁膜PASと塗布型絶縁膜UNEとを積層した構造を有する。塗布型絶縁膜UNEはその表面に凹凸形状を有する。この凹凸形状の上に形成する反射画素電極PXAは下地の塗布型絶縁膜UNEの凹凸を反映し、同様の凹凸を有する。この凹凸により反射画素電極PXAは拡散性を有し、CF基板SUB2に配置された偏光板POL側から入射した光を拡散させ、白色に近い反射表示が可能となる。

【0101】コンタクトホールCHは薄膜トランジスタTFTのソース電極SE1/SE2と反射画素電極PXAとを接続するために、塗布型絶縁膜UNE及び保護絶縁膜PASに形成されており、反射画素電極PXAはコンタクトホールCHの段差を乗り越えて、コンタクトホールCH底部に露出したソース電極SE1/SE2に接触し、電気的に接続されている。

【0102】本実施の形態では、図22に示すように、反射画素電極PXAの存在する領域にある走査信号配線GL1/GL2は行方向に隣接する画素電極PXA間隙以外の全ての領域で重疊する構成になっている。また、反射画素電極PXAの存在する領域にある映像信号配線DL1/DL2も列方向に隣接する画素電極PXA間隙以外の全ての領域で重疊する構成になっている。反射画素電極PXAと映像信号配線DL1/DL2との間に生じる寄生容量は表示不良を起こす要因となるが、本実施の形態においては、塗布型絶縁膜UNEを配置しており、その膜厚を0.5μm程度とすることにより、表示不良を起こさない程度の低容量化が可能となる。反射画素電極PXAを薄膜トランジスタTFTの上に配置したことによる薄膜トランジスタTFTの誤動作についても塗布型絶縁膜UNEを配置することにより回避できる。また塗布型絶縁膜UNEの膜厚を4μm程度とすることにより、表面に形成した凹凸による反射画素電極PXAの拡散性を充分付与することができる。

【0103】本実施の形態では、走査信号配線GL1/GL2、映像信号配線DL1/DL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SE1/SE2は、いずれも第1の電極GL1, DL1, DE1, SE1と第2の電極GL2, DL2, DE2, SE2とかなり、第1の電極GL1, DL1, DE1, SE1はMoを主成分とする合金からなり、第2の電極GL2, DL2, DE2, SE2は第1の電極GL1, DL1, DE1, SE1の上に位置し、Agを主成分とする合金膜が用いられる。なお、本実施の形態のアクテ

26

ィブマトリックス反射型液晶表示装置の回路構成、及び基板端部の断面構成については、前述した第1の実施の形態の場合と同様なのでその説明は省略する。

【0104】図23は、第4の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。図24は、第4の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【0105】走査信号配線用端子GTM部分は、図23に示すように、まず、透明絶縁基板SUB1上の走査信号配線用端子GTM部分を形成する領域に、走査信号配線GL1/GL2の延在部を形成して作製される。さらに、走査信号配線GL1/GL2を覆って、ゲート絶縁膜GI、及び薄膜トランジスタTFTの保護絶縁膜PASが順次積層される。次に塗布型絶縁膜UNEを形成するが、塗布型絶縁膜UNEとして光感光性を有する材料を用いた場合にはホトリソグラフィー工程によりパターンを形成することができる。その後、塗布型絶縁膜UNEをマスクとして、ゲート絶縁膜GI、及び保護絶縁膜PASにスルーホールTHを開口し、走査信号配線GL1/GL2の延在部の一部が露出される。このときフッ素プラズマを用いたドライエッチング加工により保護絶縁膜PAS、及びゲート絶縁膜GIにスルーホールTHを開口するが、ドライエッチング加工工程においてスルーホールTH底部の走査信号配線GL1/GL2を形成する第2の導電膜GL2が消失するため、スルーホールTH底部では走査信号配線GL1/GL2を形成する第1の導電膜GL1が露出する。その上に、パッド電極TCAが、反射画素電極PXAを形成した際と同一の材料で、同一の工程で形成され、走査信号配線用端子GTMを形成する。このパッド電極TCAはスルーホールTHを介して、走査信号配線GL1/GL2を形成する第2の導電膜GL2と電気的に接続される。ここで走査信号配線端子GTM部分において、パッド電極TCAはスルーホールTH側壁部にある走査信号配線GL1/GL2を形成する第2の導電膜GL2を被覆するための電極であり、異方性導電膜を介しての外部駆動回路Vとの接続は、スルーホールTH底部にある走査信号配線GL1/GL2の第1の導電膜GL1のM0合金が利用される。

【0106】映像信号配線用端子DTM部分は、図24に示すように、まず、透明絶縁基板SUB1上にゲート絶縁膜GIが形成されたのち、映像信号配線用端子DTMが形成される領域に映像信号配線DL1/DL2の延在部が形成される。その後、薄膜トランジスタTFTの保護絶縁膜PASが形成される。次に塗布型絶縁膜UNEを形成するが、塗布型絶縁膜UNEとして光感光性を有する材料を用いた場合にはホトリソグラフィー工程によりパターンを形成することができる。その後、塗布型絶縁膜UNEをマスクとして、映像信号配線用端子DTMが形成される領域のうち、

(15)

27

後の工程で作製するパッド電極TCAが形成される領域の一部にスルーホールTHが開口される。このときフッ素プラズマを用いたドライエッチング加工により保護絶縁膜PASにスルーホールTHを開口するが、スルーホールTH底部の映像信号配線DL1/DL2を形成する第2の導電膜DL2が消失するため、スルーホールTH底部では映像信号配線DL1/DL2を形成する第1の導電膜DL1が露出する。その上にパッド電極TCAが反射画素電極PXAを形成した際と同一の材料で、同一の工程で形成され、映像信号配線端子DTMを形成する。ここで映像信号配線端子DTM部分において、パッド電極TCAはスルーホールTH側壁部にある映像信号配線DL1/DL2の第2の導電膜DL2のAg合金を被覆するための電極であり、異方性導電膜を介しての外部駆動回路Hとの接続は、スルーホールTH底部にある映像信号配線DL1/DL2の第1の導電膜DL1のMo合金が利用される。次に、第4の実施の形態のアクティブマトリックス反射型液晶表示装置形成方法の具体例を、TFT基板SUB1の各製造工程ごとの要部断面図を用いて、図25及び図26により説明する。

【0107】図25は、本発明の第4の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。図26は、図25のプロセスフローに従ってTFT基板を作製した際の、前記図22中に記した矢視方向に対応させて眺めた断面図である。

【0108】本実施の形態においては、(A)～(E)の5段階のホトリソグラフィー工程を経てTFT基板SUB1が完成する。本実施の形態の(A)～(C)、及び(E)の工程については、前述した第1の実施の形態と同様なため、その説明を省略する。

#### 工程(D)

透明絶縁基板SUB1の表面の全域に、例えばプラズマCVD法によって、薄膜トランジスタTFTの保護絶縁膜PASとなる窒化シリコン膜(SiN膜)を200nm～900nm、好ましくは350nmの膜厚で形成する。続いて、保護絶縁膜PASの表面の全域に、例えばスピンドルコート法によって、ポリイミド系、アクリル系ポリマー、エポキシ系ポリマー、ベンジシクロブテン系ポリマー等の種々の有機系樹脂、もしくは有機溶媒に可溶なSiを含む無機ポリマー、例えば、SOG(スピンドルガラス)膜等の絶縁膜からなり、感光基を有する塗布型絶縁膜UNEを0.5nm～4μm、好ましくは3μmの厚さで塗布する。次にホトリソグラフィー技術により走査信号配線用端子GTM形成領域には走査信号配線GL1/GL2の延在部を露出させるためのスルーホールTHを、映像信号配線用端子DTM形成領域には映像信号配線DL1/DL2の延在部を露出するためのスルーホールTHを、ソース電極SE1/SE2の配置された領域の一部にソース電極SE1/SE2と反射画素電極PXAを接続するためのコンタクトホールCHを形成する。このホトリソグラフィーの露光工程においては、マスクに遮光部、透過部の他に中間の透過率を有

10

20

30

40

50

28

するようなマスク等を用いて、後の工程で作製する反射画素電極PXAの配置される領域に、スルーホールTH及びコンタクトホールCHを形成する領域に照射した光量よりも少ない光量を照射することにより、塗布型絶縁膜UNEの表面に凹凸形状を付与するための露光も同時に実施する。次に塗布型絶縁膜UNEのパターンをマスクとして、保護絶縁膜PASをエッチングし、画素領域内に、該薄膜トランジスタTFTのソース電極SE1/SE2の一部を露出するためのコンタクトホールCHを形成する。これとともに、走査信号配線用端子GTM形成領域には、保護絶縁膜PASの下層に位置するゲート絶縁膜GIにまで、スルーホールTHを貫通させて、走査信号配線GL1/GL2の延在部を露出させるためのスルーホールTHを形成する。映像信号配線用端子DTM形成領域には、保護絶縁膜PASの下層に位置するゲート絶縁膜GIにまで、スルーホールTHを貫通させて、映像信号配線DL1/DL2の延在部を露出させるためのスルーホールTHを形成する。このドライエッチング工程において、第2の導電膜SE2, GL2, DL2を形成するAg合金はフッ化銀に変質する。続いてコンタクトホールCH、スルーホールTH底部のフッ化銀を磷酸を用いて選択的に溶解除去して、第1の導電膜SE1, GL1, DL1のMo合金を露出させる。

【0109】なお、本実施の形態においては、パッド電極TCAを形成する際に、走査信号配線GL1/GL2に用いる第1の導電膜GL1と画素電極PXAのエッチング選択比を確保する必要があるため、パッド電極TCAのエッチングには、例として磷酸が用いられる。

【0110】本実施の形態によれば、反射板としての機能を具備したソース電極SEP1/SEP2を第1の導電膜SEP1と第2の導電膜SEP2との二層積層構造とし、第1の導電膜SEP1をMo合金とし、第2の導電膜SEP2をMo合金の上層にAg合金で形成することにより、1回のホトリソグラフィー工程でソース電極SEP1/SEP2を形成することができる。この場合、保護絶縁膜PASにコンタクトホールCHを開口する際に使用するフッ素プラズマによるドライエッチングによりソース電極SEP1/SEP2の第2の導電膜SEP2を形成するAg合金がフッ化銀に変質する。その後フッ化銀を除去するための磷酸エッチングを実施することにより第1の導電膜SEP1を形成するMo合金を露出するためのホトリソグラフィー工程を増やすことなく、ソース電極SEP1/SEP2と画素電極PXAとを低く安定した接触抵抗で接続することができる。

【0111】本実施の形態によれば、映像信号配線DL1/DL2、走査信号配線GL1/GL2を第1の導電膜DL1, GL1と第2の導電膜DL2, GL2の二層積層構造とし、第1の導電膜DL1, GL1をMo合金とし、第2の導電膜DL2, GL2を第1の導電膜DL1, GL1のMo合金の上層にAg合金で形成することにより、1回のホトリソグラフィー工程で走査信号配線GL1/GL2の走査信号配線用端子GTM、映像信号配線DL1/DL2の映像信号配線用端子DTMを形成することができる。こ

(16)

29

の場合、保護絶縁膜PASにスルーホールTHを開口する際に使用するフッ素プラズマによるドライエッチングにより走査信号配線GL1/GL2及び映像信号配線DL1/DL2の第2の導電膜GL2, DL2を形成するAg合金がフッ化銀に変質する。その後フッ化銀を除去するための蔥酸エッチングを実施することにより走査信号配線GL1/GL2及び映像信号配線DL1/DL2の第1の導電膜GL1, DL1を形成するMo合金を露出するためのホトリソグラフィー工程を増やすことなくソース走査信号配線GE1/GE2及び映像信号配線DL1/DL2と、パッド電極TCAとを低く安定した接触抵抗で接続することができる。

【0112】本実施の形態によれば、コンタクトホールCH側壁部に存在するソース電極SE1/SE2に用いるAg合金からなる第2の導電膜SE2は反射画素電極PXAによりその表面が被覆されており、露出しない構造となっているため、第2の導電膜SE2を形成するAg合金の腐食を防ぐことができる。

【0113】本実施の形態によれば、スルーホールTH側壁部に存在する映像信号配線DL1/DL2に用いるAg合金からなる第2の導電膜DL2、及び走査信号配線GL1/GL2に用いるAg合金からなる第2の導電膜GL2はパッド電極TCAによりその表面が被覆されており、露出しない構造となっているため、第2の導電膜DL2, GL2を形成するAg合金の腐食を防ぐことができる。本実施の形態によれば、塗布型絶縁膜UNEのパターンを用いて保護絶縁膜PAS及びゲート絶縁膜GIに、スルーホールTH及びコンタクトホールCHを加工することにより、プロセスを増やすことなく、塗布型絶縁膜UNEを適用できる。

【0114】本実施の形態によれば、走査信号配線端子GTM部分、及び映像信号配線用端子DTM部分において、走査信号配線GL1/GL2を形成する第1の導電膜GL1及び映像信号配線DL1/DL2を形成する第1の導電膜DL1を露出した構造とすることにより、走査信号配線端子GTM部分及び映像信号配線端子DTM部分と、外部駆動回路V, H接続のための異方性導電膜とを低く安定した抵抗で接続することができる。本実施の形態によれば、画素電極PXAが存在する領域にある、映像信号配線DL1/DL2を行方向に隣接する画素電極PXA間隙以外の全ての領域で反射画素電極PXAと重疊する構成をとることにより、反射画素電極PXAをエッチングする際に保護絶縁膜PAS、及びゲート絶縁膜GIに存在するピンホール、クラックからエッチング液が染み込み、映像信号配線DL1/DL2の第2の導電膜DL2を形成するAg合金がエッチング液にさらされることによる映像信号配線DL1/DL2の溶解、断線を押えることができる反射型液晶表示装置の構成を提供できる。本実施の形態によれば、画素電極PXAが存在する領域にある、走査信号配線GL1/GL2を列方向に隣接する画素電極PXA間隙以外の全ての領域で反射画素電極PXAと重疊する構成をとることにより、反射画素電極PXAをエッチングする際に保護絶縁膜PAS、及びゲート絶縁膜GIに存在するピンホ

(16)

30

ール、クラックからエッチング液が染み込み、走査信号配線GL1/GL2の第2の導電膜GL2を形成するAg合金がエッチング液にさらされることによる走査信号配線GL1/GL2の溶解、断線を押えることができる反射型液晶表示装置の構成を提供できる。

【0115】上述した全ての実施の形態において、第1の導電膜としてMoを主成分としてZrを含有した合金を採用しているが、その他にMoを主成分としてZr, ハフニウム(Hf), Cr, チタン(Ti)のうち少なくとも一種の元素を含有する合金とすることによりフッ素系プラズマに対する耐性を付与することができる。

【0116】上述した全ての実施の形態において、特に第1の導電膜として用いたMo合金をMoを主成分とし、Zrを4重量%から23重量%とすることにより、磷酸一硝酸一酢酸の混酸を用いた信号線エッチング加工による信号線断面形状の制御が良好で、かつエッチング加工においてエッチング残渣をなくすことができる。上述した全ての実施の形態において、第2の導電膜として用いたAg合金をAgを主成分とし、Pdを含有する合金とすることにより、磷酸一硝酸一酢酸の混酸を用いたエッチング液で加工形成が可能となる。

【0117】上述した全ての実施の形態において、走査信号配線GL1/GL2、映像信号配線DL1/DL2、薄膜トランジスタTFTの映像信号電極DE1/DE2、ソース電極SE1/SE2, SE P1/SEP2をAg合金とMo合金の二層積層膜としたが、上述した配線、電極のうち少なくともひとつをAg合金とMo合金の二層積層膜とすることにより、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0118】上述した第1の実施の形態において、走査信号配線端子GTM部分、及び映像信号配線端子DTM部分を第4の実施の形態の構造とした場合においても、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0119】上述した第4の実施の形態において、走査信号配線の端子部分、及び映像信号配線の端子部分を第1の実施の形態の構造とした場合においても、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0120】上述した第2の実施の形態において、反射板RP1/RP2を走査信号配線GL1/GL2と同一材料、同一工程で形成しているが、第3の実施の形態に示すように反射

(17)

31

板としての機能を具備したソース電極SEP1/SEP2を適用した場合においても1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できることは言うまでもない。

【0121】上述した第3の実施の形態において、反射板は反射板としての機能を具備したソース電極SEP1/SEP2を用いているが、第2の実施の形態に示すように走査信号配線GL1/GL2と同一材料、同一工程で反射板RP1/RP2を形成した場合においても1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できることは言うまでもない。

【0122】上述した第3の実施の形態において、反射板として反射板の機能を具備したソース電極SEP1/SEP2を適用しているが、ソース電極SE1/SE2とは接続されていない反射板RP1/RP2を形成した場合においても、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、又は信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できることは言うまでもない。

【0123】上述した第1乃至第3の実施の形態において、第4の実施の形態のように塗布型絶縁膜UNEを適用し、画素電極PXAの配置された領域に存在する走査信号配線GL1/GL2を行方向の隣接する画素間隙以外の領域で重畠し、映像信号配線DL1/DL2を列方向の隣接する画素電極間隙以外の領域で重畠する構造をとることにより、信号配線の断線、溶解を抑え、歩留まりを向上できる反射型液晶表示装置を提供できる。

【0124】上述した全ての実施の形態において、ゲート絶縁膜GI、及び保護絶縁膜PASとして窒化シリコン膜を適用しているが、フッ素系プラズマガスを用いてエッチング加工形成が可能な材料であれば、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、及び信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0125】上述した全ての実施の形態において、Ag合金としてAg-Pd合金を用いているが、パラジウム以外を含有したAg合金膜でも、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、及び信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0126】上述した第3の実施の形態において、透明導電膜としてアモルファスのインジウム亜鉛酸化物を例

32

に示したが、アモルファスのインジウム錫酸化物、インジウムゲルマニウム酸化物を用いても、1回のホトリソグラフィー工程で銀を用いた信号線を形成し、かつその積層総数を二層とした簡略なプロセスで形成可能な反射型液晶表示装置、及び信号線の腐食を抑え信号線間ショート等に優れた反射型液晶表示装置を提供できる。

【0127】上述した第4の実施の形態において、塗布型絶縁膜UNEを反射画素電極PXAと映像信号配線DL1/DL

2、及び走査信号配線GL1/GL2間の寄生容量を低減する効果を有する材料として適用しているが、反射画素電極PXAと映像信号配線DL1/DL2、及び走査信号配線GL1/GL2間の容量は液晶表示装置のサイズによっては問題にならないことがある。これに対して塗布型絶縁膜UNEを配置しない構造においては、本発明による信号配線の断線、溶解の防止効果はさらに高まり、歩留まりを大幅に向上できる反射型液晶表示装置を提供できる。なお、本発明は上記実施の形態に限定されるものではない。

【0128】例えば、上記実施の形態の液晶表示装置では、薄膜トランジスタTFTのドレイン電極が映像信号電

20 極DE1/DE2として映像信号配線DL1/DL2に接続され、ソース電極SE1/SE2が画素電極PXA、PXAに接続される構成となっているが、薄膜トランジスタTFTのソース電極SE1/SE2が映像信号電極として映像信号配線DL1/DL2が接続され、ドレイン電極DE1/DE2が画素電極PXA、PXAに接続される構成としてもよく、この場合は、薄膜トランジスタTFTのドレイン電極DE1/DE2にコンタクトホールCHが形成されることになる。さらに、以上においては、いわゆる縦電界型の液晶駆動をする液晶表示装置を例にとって説明したが、横電界型の液晶駆動をする液晶表示装置においても採用できることは明白である。

【0129】

【発明の効果】以上のように、本発明によれば、映像信号配線、走査信号配線、薄膜トランジスタのソース電極又はドレイン電極の少なくともひとつを第一の導電膜と第二の導電膜とし、第一の導電膜をMoを主成分とする合金とし、第二の導電膜を第一の導電膜の上に配置しを主成分とするAg合金とすることにより、プロセスを煩雑化することなく、この積層膜を信号線として用いて信号線の低抵抗化をはかった液晶表示装置提供できる。そして、信号線の低抵抗化がはかれたことにより、液晶表示装置の大型化、高精細化の対応が可能となる。

【0130】また、ホールを開口した絶縁膜よりも大きな領域を他の導電膜で覆うことにより、ホール側壁部にある第2の導電膜を覆うことができ、エッチングによる腐食を防止でき、歩留まりを向上できる。また、画素電極の配置された領域に存在する走査信号配線を行方向の隣接する画素間隙以外の領域で重畠し、映像信号配線を列方向の隣接する画素電極間隙以外の領域で重畠する構造をとることにより、信号配線の断線、溶解を抑え、歩留まりを向上できる液晶表示装置を提供できる。

50

(18)

33

## 【図面の簡単な説明】

【図1】本発明の第1の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【図2】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【図3】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の電気回路の概略図である。

【図4】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の基板端部の断面模式図である。

【図5】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図6】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図7】第1の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。

【図8】図7のプロセスフローに従ってTFT基板を作製した際の、前記図2中に記した矢視方向に対応させて眺めた断面図である。

【図9】本発明の第2の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【図10】第2の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板の平面図である。

【図11】第2の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図12】第2の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図13】第2の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。

【図14】図13のプロセスフローに従ってTFT基板を作製した際の、前記図10中に記した矢視方向に対応させて眺めた断面図である。

【図15】本発明の第3の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【図16】第3の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板側の平面図である。

【図17】第3の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の

34

要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図である。

【図18】第3の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図である。

【図19】第3の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。

【図20】図19のプロセスフローに従ってTFT基板を作製した際の、前記図16中に記した矢視方向に対応させて眺めた断面図である。

【図21】本発明の第4の実施の形態のアクティブマトリックス反射型液晶表示装置の断面図である。

【図22】第4の実施の形態のアクティブマトリックス反射型液晶表示装置の単位画素の薄膜トランジスタが配置される側の透明絶縁基板側の平面図である。

【図23】第4の実施の形態のアクティブマトリックス反射型液晶表示装置の、走査信号配線用端子GTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図24】第4の実施の形態のアクティブマトリックス反射型液晶表示装置の、映像信号配線用端子DTM部分の要部平面図(a)、及びこの要部平面図(a)中に記したA-A'矢視方向に眺めた断面図(b)である。

【図25】本発明の第4の実施の形態のアクティブマトリックス反射型液晶表示装置の構成を実現するためのプロセスフローを示す図である。

【図26】図25のプロセスフローに従ってTFT基板を作製した際の、前記図22中に記した矢視方向に対応させて眺めた断面図である。

## 【符号の説明】

SUB1, SUB2 透明絶縁基板

TFT 薄膜トランジスタ

CE 共通信号電極

GL1/GL2 走査信号配線

DL1/DL2 映像信号配線

DE1/DE2 映像信号電極

SE1/SE2, SEP1/SEP2 ソース電極

40 GL1, DL1, DE1, SE1, SEP1, RP1 第一の導電膜

GL2, DL2, DE2, SE2, SEP2, RP2 第二の導電膜

SI 半導体層

PXA, PXI, PXIA 反射画素電極

GI ゲート絶縁膜

PAS 保護絶縁膜

NSI 電極

CH コンタクトホール

BM 遮光パターン

CF カラーフィルタ

50 OC オーバーコート膜

(19)

35

OR11, OR12 配向膜

LC 液晶層

POL 偏光板

SF 散乱フィルム

GTM 走査信号配線用端子

DTM 映像信号配線用端子

CTM 共通信号配線用端子

36

SL シール材

TCA, TCI, TCIA パッド電極

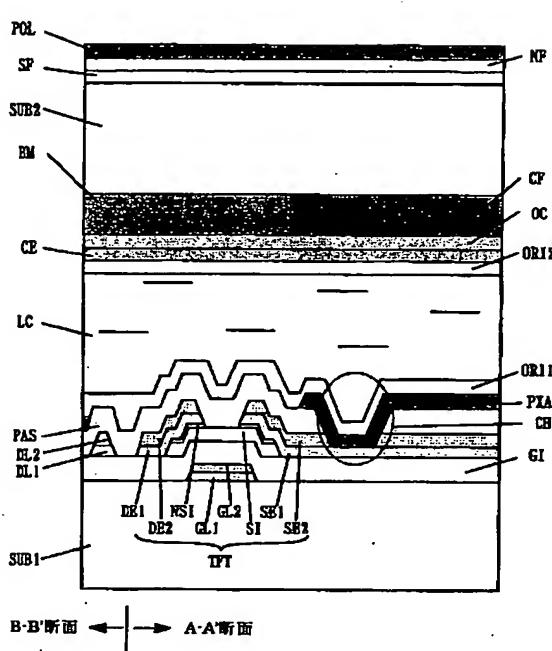
TH スルーホール

POL2 円偏光板

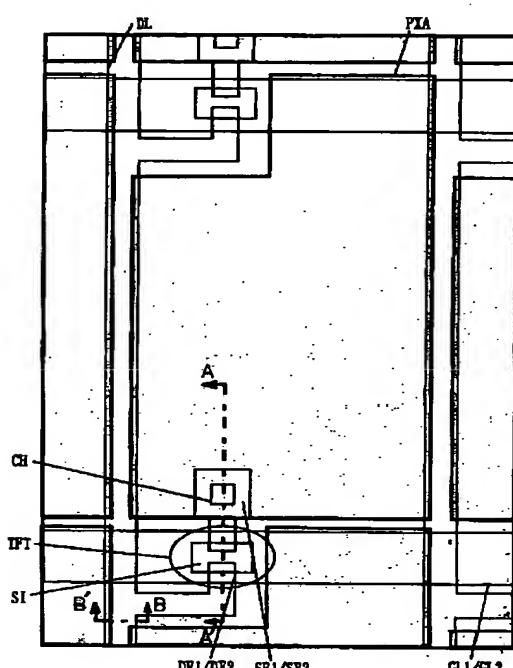
BL バックライト

UNE 塗布型絶縁膜

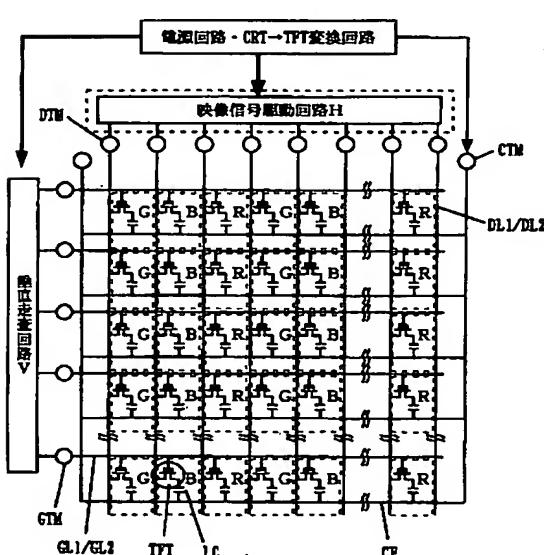
【図1】



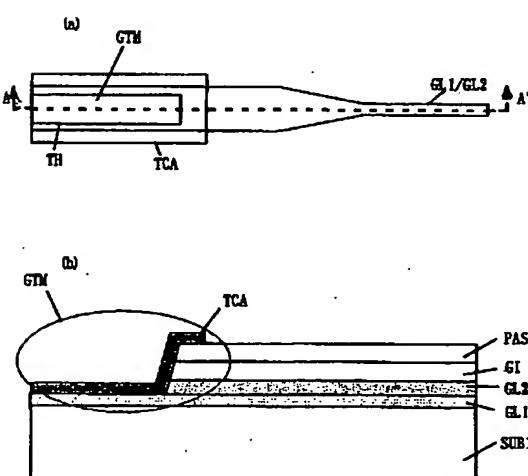
【図2】



【図3】

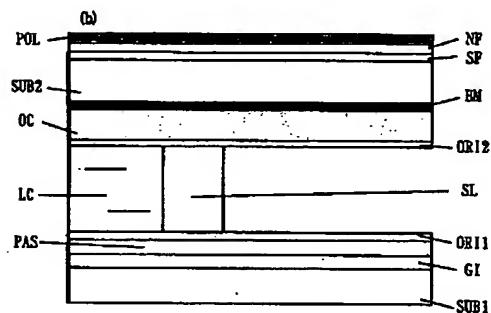
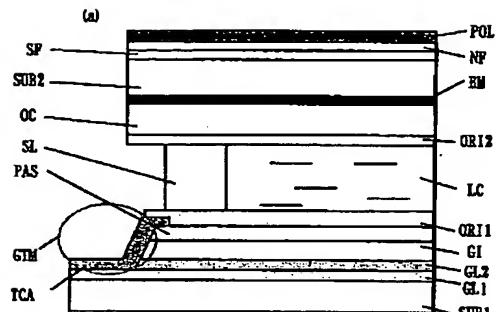


【図5】

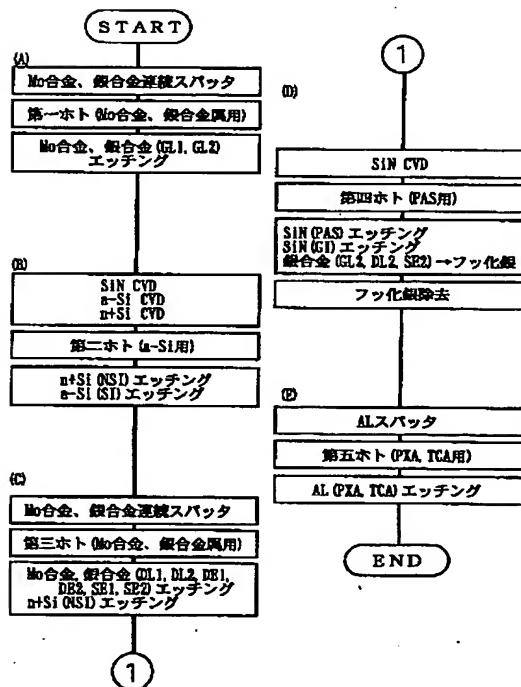


(20)

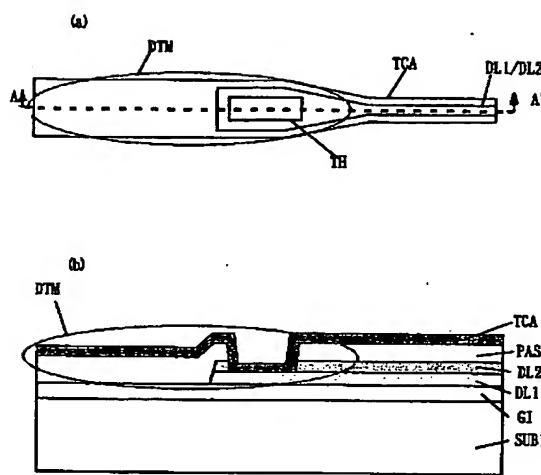
【図4】



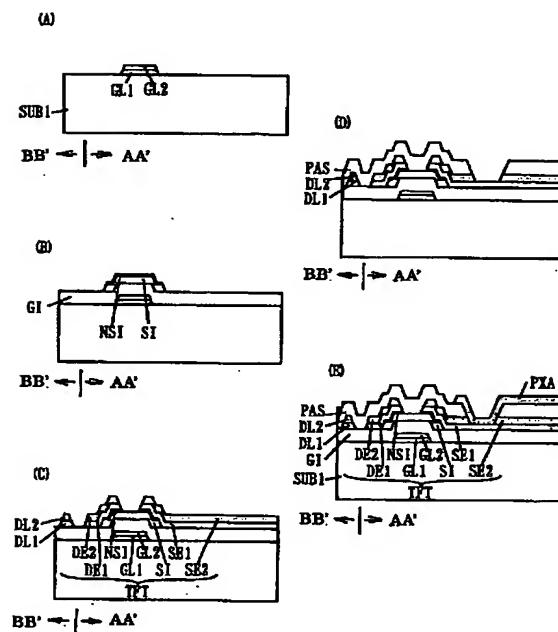
【図7】



【図6】

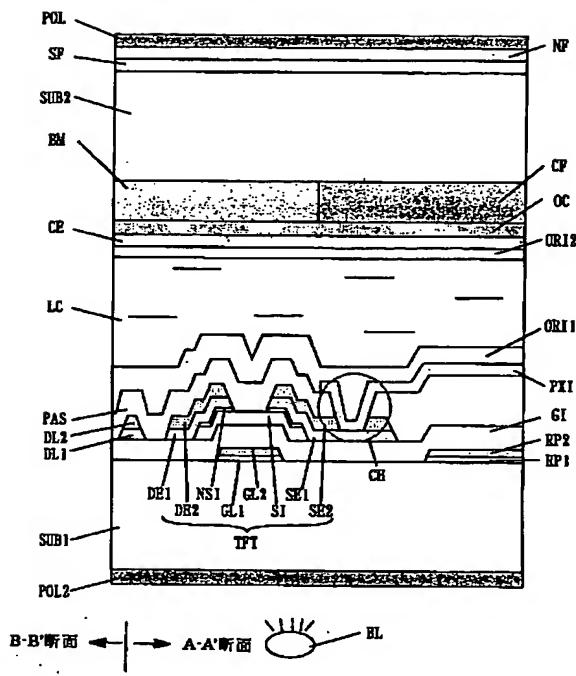


【図8】

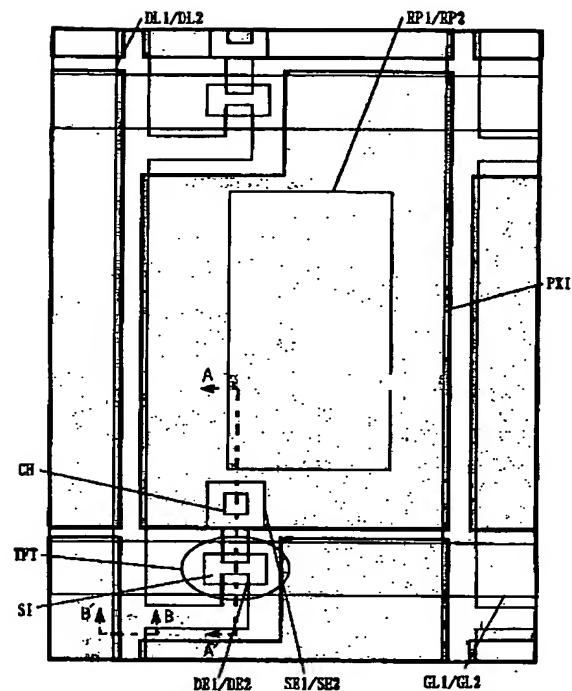


(21)

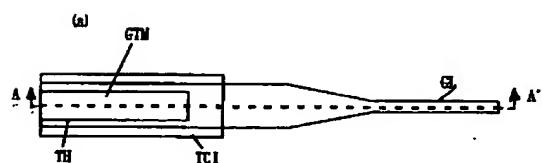
【図9】



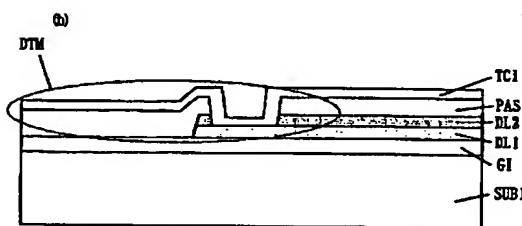
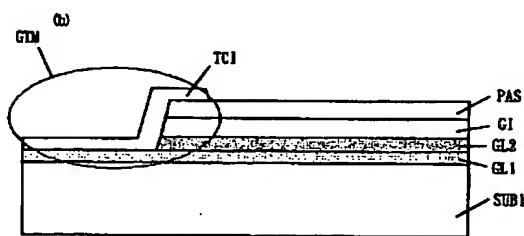
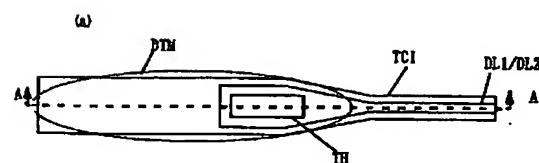
【図10】



【図11】

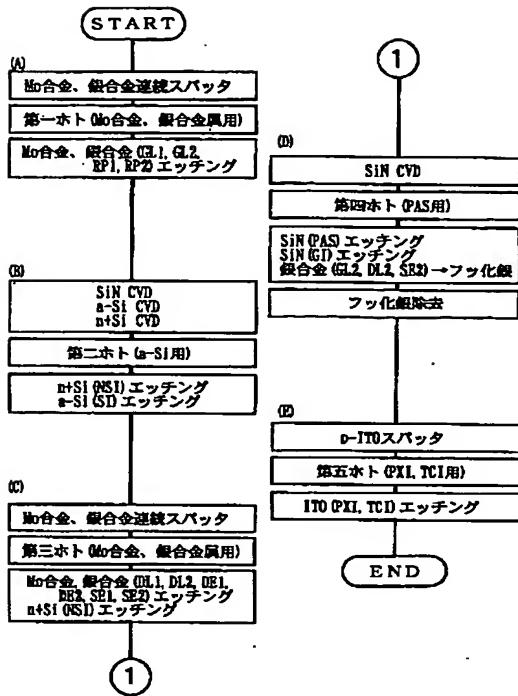


【図12】

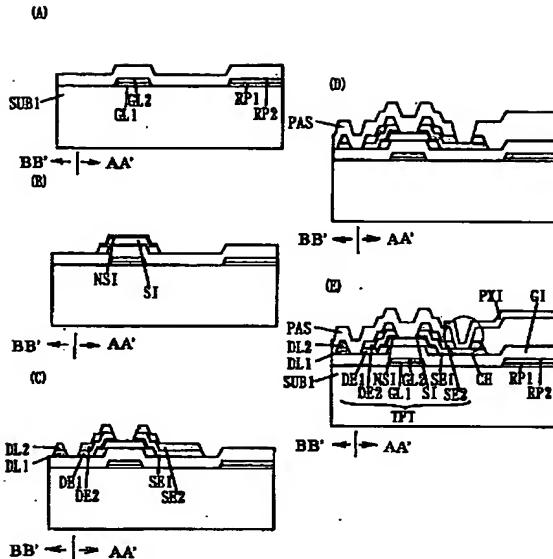


(22)

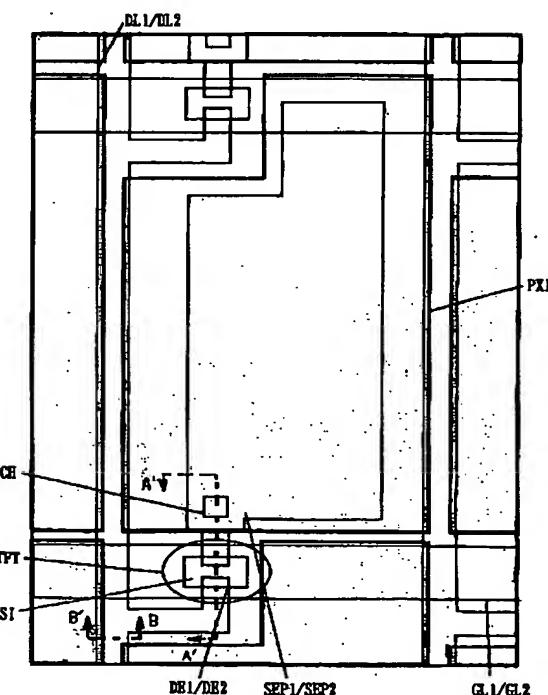
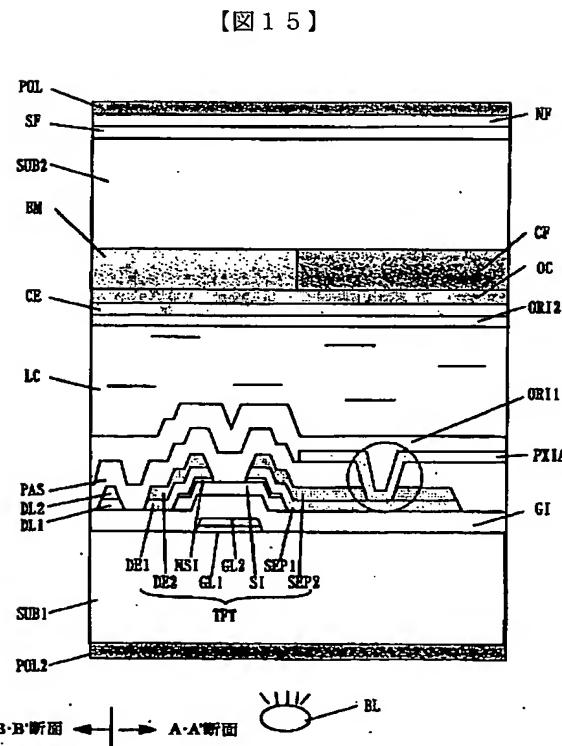
【図13】



【図14】

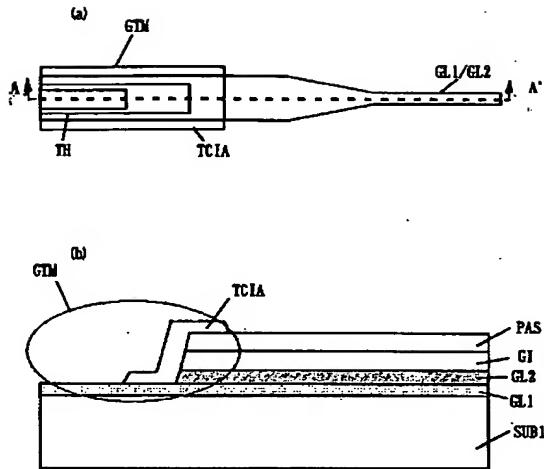


【図16】

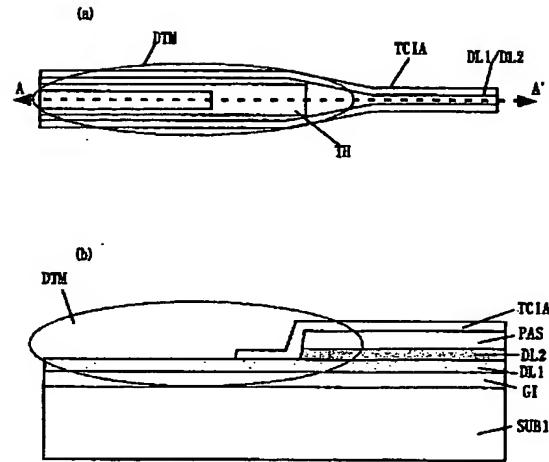


(23)

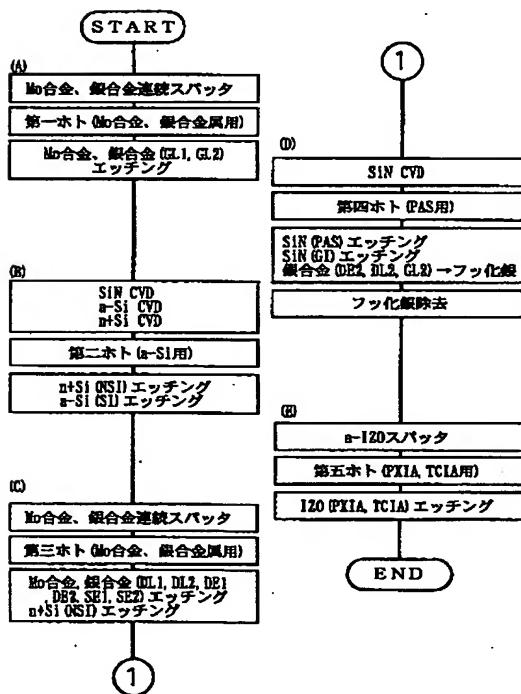
【図17】



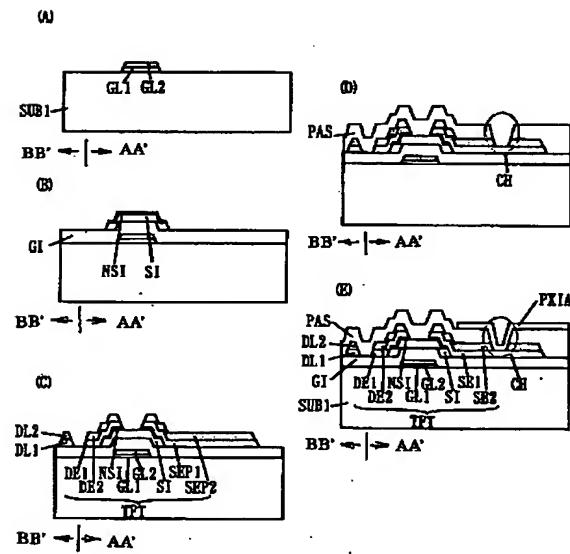
【図18】



【図19】

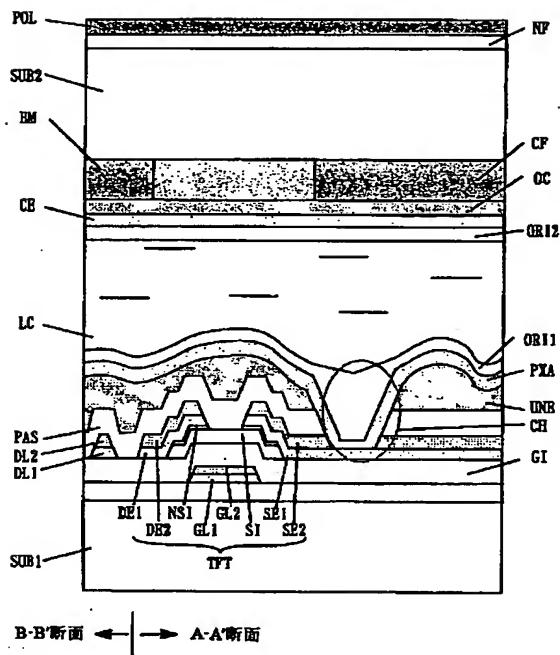


【図20】

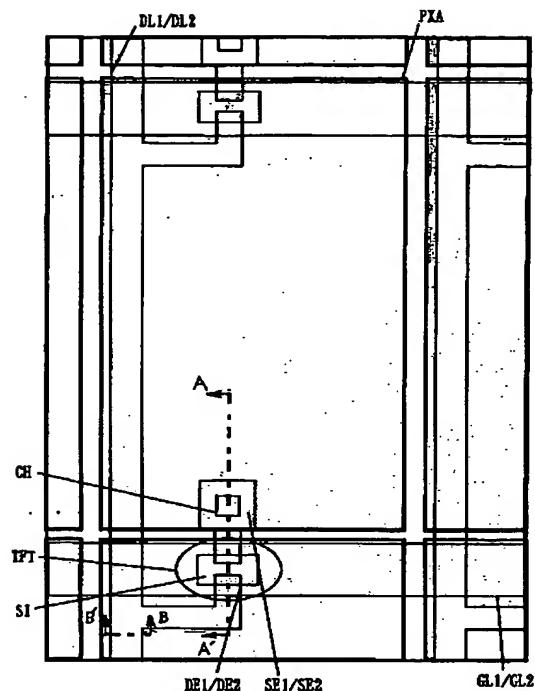


(24)

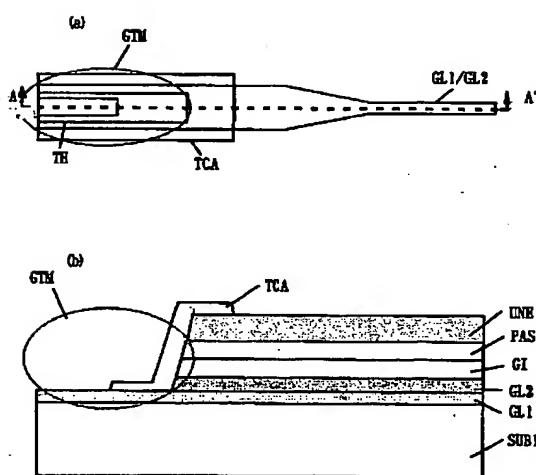
【図21】



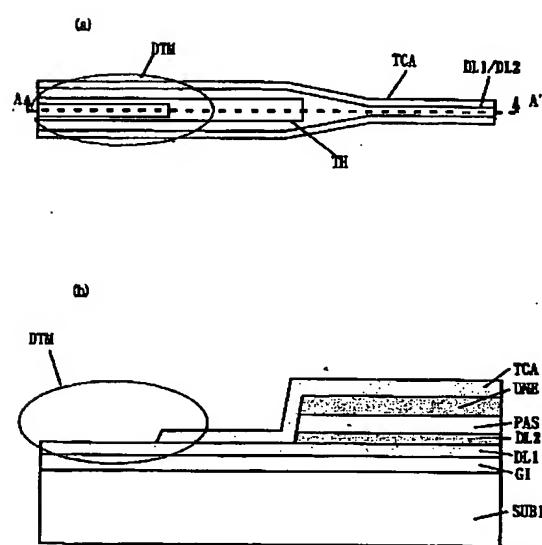
【図22】



【図23】

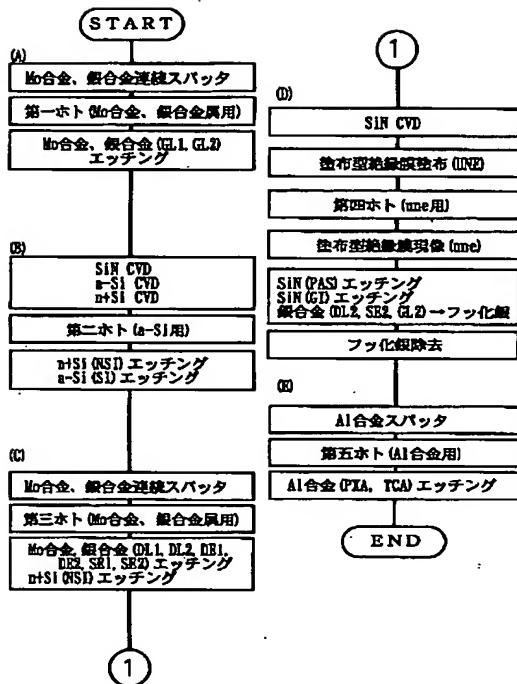


【図24】

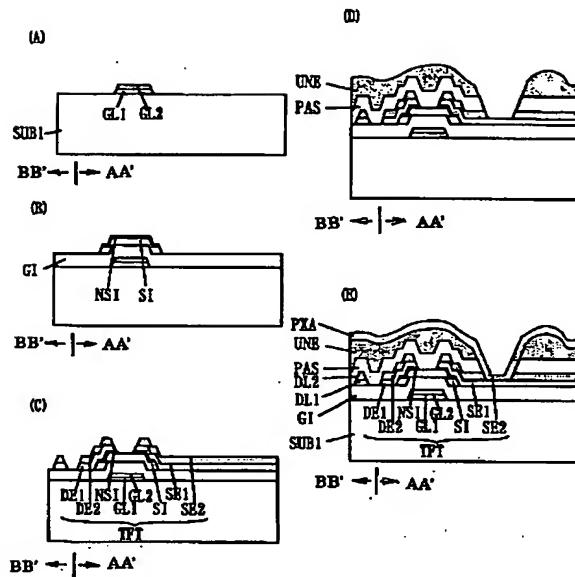


(25)

【図25】



【図26】



## フロントページの続き

(51) Int. Cl. 7

G 0 9 F 9/30  
H 0 1 L 21/28  
21/3205  
21/768  
29/43  
29/786

### 識別記号

F I	
G 0 9 F	9/30
H 0 1 L	21/28
	29/78
	21/88
	21/90
	29/62

### テーマコード (参考)

(72) 発明者 西村 悅子  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72) 発明者 小村 真一  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(72) 発明者 生田 烈  
茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 田村 克  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所

(72) 発明者 鬼沢 賢一  
茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(26)

F ターム (参考) 2H092 HA04 HA05 HA06 JA34 JA36  
JA41 JA44 JB07 NA27 NA28  
NA29  
4M104 AA09 BB02 BB08 BB16 BB36  
BB37 CC01 CC05 DD17 DD20  
FF13 GG09 HH15 HH16  
5C094 AA04 AA05 AA14 AA42 AA43  
AA55 BA03 BA43 CA19 CA24  
DA13 DB01 DB03 DB04 EA04  
EA05 EA06 EB02 ED03 ED11  
FA01 FA02 FB12 FB14 FB15  
GB10 JA01 JA08  
5F033 HH14 HH20 HH38 JJ00 JJ38  
KK05 KK14 KK20 MM05 MM26  
NN13 NN17 QQ01 QQ92 QQ95  
RR09 RR21 RR22 RR27 SS21  
WW02 WW04 XX09 XX10 XX18  
XX33  
5F110 AA03 AA28 BB01 CC07 EE06  
EE14 EE44 FF03 FF30 GG02  
GG15 GG24 GG45 HK06 HK09  
HK16 HK21 HK22 HK25 HK33  
HK35 HL06 HL23 NN02 NN24  
NN35 NN72 QQ09

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-043508

(43)Date of publication of application : 13.02.2003

(51)Int.CI.

G02F 1/1343  
G02F 1/1368  
G09F 9/30  
H01L 21/28  
H01L 21/3205  
H01L 21/768  
H01L 29/43  
H01L 29/786

(21)Application number : 2001-227747

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.07.2001

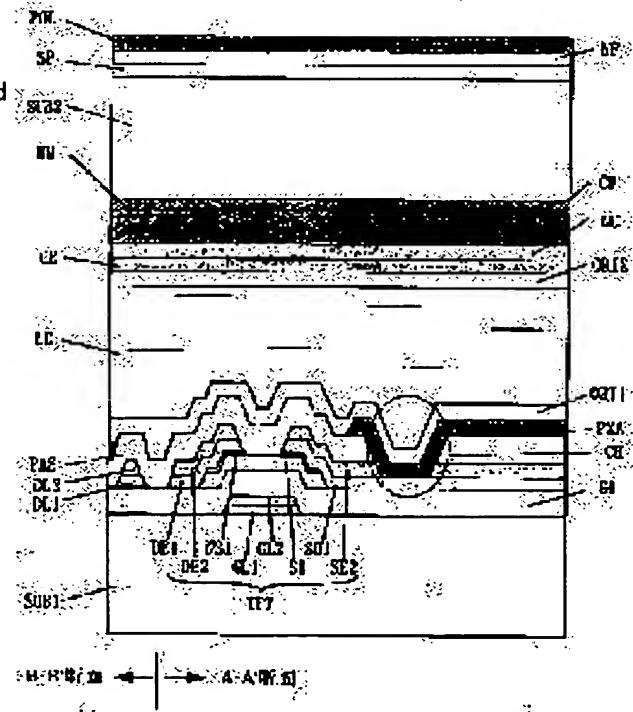
(72)Inventor : ABE MAKOTO  
TAKAHASHI TAKUYA  
NISHIMURA ETSUKO  
IKUTA ISAO  
TAMURA KATSU  
KIZAWA KENICHI  
KOMURA SHINICHI

## (54) LIQUID CRYSTAL DISPLAY DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a reflection type liquid crystal display device in which signal lines to be made of a low specific resistance silver alloy is formed in a simple process, and the signal lines using the silver alloy are prevented from being disconnected or fused, and improvement in a yield is attained.

**SOLUTION:** At least either of video signal wiring DL1/DL2, scanning signal wiring GL1/GL2, video signal electrodes DE1/DE2 of thin film transistors TFTs, and source electrodes SE1/SE2 are used as 1st conductive films DL1, GL1, DE1, SE1, and 2nd conductive films DL2, GL2, DE2, SE2, and the 1st conductive films DL1, GL1, DE1, SE1 are formed of an alloy consisting essentially of Mo, and the 2nd conductive films DL2, GL2, DE2, SE2 are arranged on the 1st conductive film and formed of an AG alloy. Moreover, the scanning signal wiring GL1/GL2 present in the area where pixel electrodes PXA are arranged, are structured so as to overlap each other in the area other than the pixel gaps adjacent in the direction of row, and the video signal wiring DL1/DL2 are structured so as to overlap each other in the area other than the pixel electrode gaps adjacent in the direction of column.



## LEGAL STATUS

[Date of request for examination]

26.11.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] The liquid crystal layer pinched by the substrate of a couple, and the substrate of this couple, and the common signal electrode and pixel electrode formed on the substrate of this couple, Scan signal wiring and video-signal wiring which are formed by crossing mutually in the shape of a matrix on the substrate of the side in which this pixel electrode of the substrates of said couple or this pixel electrode, and this common signal electrode are formed, It is a liquid crystal display equipped with the thin film transistor formed corresponding to the intersection of this scan signal wiring and this video-signal wiring. Said scan signal wiring, said video-signal wiring, the source electrode of said thin film transistor, At least one [ or ] of the drain electrodes of said thin film transistor it constitutes from a cascade screen which consists of the 1st electric conduction film and the 2nd electric conduction film -- having -- this -- the alloy with which the 1st electric conduction film uses molybdenum as a principal component -- it is -- this -- the liquid crystal display characterized by the 2nd electric conduction film being an alloy which is located in the upper layer of said 1st electric conduction film, and uses silver as a principal component.

[Claim 2] The liquid crystal layer pinched by the substrate of a couple, and the substrate of this couple, and the common signal electrode and pixel electrode formed on the substrate of this couple, Scan signal wiring and video-signal wiring which are formed by crossing mutually in the shape of a matrix on the substrate of the side in which this pixel electrode of the substrates of said couple or this pixel electrode, and this common signal electrode are formed, It is a liquid crystal display equipped with the thin film transistor formed corresponding to the intersection of this scan signal wiring and this video-signal wiring. Said scan signal wiring, said video-signal wiring, the source electrode of said thin film transistor, At least one [ or ] of the drain electrodes of said thin film transistor it constitutes from a cascade screen which consists of the 1st electric conduction film and the 2nd electric conduction film -- having -- this -- the alloy with which the 1st electric conduction film uses molybdenum as a principal component -- it is -- this, while the 2nd electric conduction film is an alloy which is located in the upper layer of said 1st electric conduction film, and uses silver as a principal component this -- a wrap insulator layer carries out the laminating of the 2nd electric conduction film -- having -- from the insulator layer side of this upper layer -- this -- the liquid crystal display characterized by forming the hole which penetrates the 2nd electric conduction film and makes said 1st electric conduction film a pars basilaris ossis occipitalis.

[Claim 3] Said insulator layer is a liquid crystal display according to claim 2 characterized by constituting said scan signal wiring from the above further in general among wrap gate dielectric film and the spreading mold insulator layer formed in general on the wrap protection insulator layer and this protection insulator layer in said video-signal wiring and said thin film transistor.

[Claim 4] The electric conduction film which said scan signal wiring or said video-signal wiring is formed by said cascade screen, and the flank of said hole is covered with the electric conduction film which forms the pad electrode of said scan signal wiring by which a laminating is carried out to the upper layer of said insulator layer, or said video-signal wiring, and forms this pad electrode is a liquid crystal display according to claim 2 characterized by being in contact with the 1st electric conduction film of said scan signal wiring which makes the pars basilaris ossis occipitalis of said hole, or said video-signal wiring.

[Claim 5] The electric conduction film which forms said pad electrode is a liquid crystal display

according to claim 4 characterized by being formed in the electric conduction film and coincidence for forming said pixel electrode.

[Claim 6] The electric conduction film which forms said pad electrode is a liquid crystal display according to claim 4 or 5 characterized by not covering thoroughly the 1st electric conduction film of said scan signal wiring which makes the pars basilaris ossis occipitalis of said hole, or said video-signal wiring.

[Claim 7] The electric conduction film which the source electrode or drain electrode of said thin film transistor is formed by said cascade screen, and the flank of said hole is covered with the electric conduction film which forms said pixel electrode by which a laminating is carried out to the upper layer of said insulator layer, and forms said pixel electrode is a liquid crystal display according to claim 2 characterized by being in contact with the 1st electric conduction film of said drain electrode which makes the pars basilaris ossis occipitalis of said hole.

[Claim 8] Said pixel electrode is a transparency mold pixel electrode, and it is located in the lower layer of this transparency mold pixel electrode through an insulator layer. It has the reflecting plate which consists of cascade screens which consist of the 1st electric conduction film and the 2nd electric conduction film. this -- the alloy with which the 1st electric conduction film uses molybdenum as a principal component -- it is -- this -- said reflecting plate, while the 2nd electric conduction film is an alloy which is located in the upper layer of said 1st electric conduction film, and uses silver as a principal component. The liquid crystal display according to claim 2 characterized by being formed simultaneously with one of said scan signal wiring, said video-signal wiring, the source electrode of said thin film transistor, or the drain electrodes of said thin film transistor.

[Claim 9] claim 1 which said pixel electrode is a reflective mold pixel electrode, and is characterized by making this reflective mold pixel electrode superimpose on said video-signal wiring or said scan signal wiring, and installing it thru/or 7 -- a liquid crystal display given in either.

[Claim 10] claim 1 characterized by for said pixel electrode being a transparency mold pixel electrode, and the electric conduction film which forms this transparency mold pixel electrode being transparency electric conduction film which consists of an indium stannic acid ghost thru/or 8 -- a liquid crystal display given in either.

[Claim 11] claim 1 characterized by for said pixel electrode being a transparency mold pixel electrode, and the electric conduction film which forms this transparency mold pixel electrode being transparency electric conduction film which consists of an amorphous indium stannic acid ghost, an indium zincic acid ghost, or indium germanium oxide thru/or 8 -- a liquid crystal display given in either.

[Claim 12] claim 1 which said first electric conduction film uses molybdenum as a principal component, and is characterized by containing a kind of element at least among a zirconium, a hafnium, chromium, and titanium thru/or 11 -- a liquid crystal display given in either.

[Claim 13] claim 1 which said first electric conduction film uses molybdenum as a principal component, and is characterized by containing a zirconium 23 or less % of the weight 4% of the weight or more thru/or 11 -- a liquid crystal display given in either.

[Claim 14] claim 2 by which it is arranging-organic compound insulator which turns into said a part of insulator layer [ at least ] from organic material characterized thru/or 13 -- a liquid crystal display given in either.

[Claim 15] The liquid crystal display according to claim 14 characterized by setting average thickness of said organic compound insulator to 0.5 micrometers or more and 4 micrometers or less.

[Claim 16] The liquid crystal display according to claim 14 or 15 with which irregularity is formed in said organic-compound-insulator front face, and said pixel electrode is characterized by having the irregularity corresponding to the concavo-convex configuration of said organic compound insulator.

[Claim 17] Said liquid crystal display is a liquid crystal display according to claim 1 or 16 characterized by being a reflective mold.

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to amelioration of a liquid crystal display.

[0002]

[Description of the Prior Art] Conventionally, many active-matrix methods of the structure which prepared the thin film transistor TFT (TFT:Thin Film Transistor) component in the viewing area which constitutes a pixel as a switching element as a liquid crystal display are proposed. In this kind of liquid crystal display, a liquid crystal layer is inserted between the substrates of a couple. The structure which pinched this liquid crystal layer with each substrate is adopted. To one substrate (TFT substrate) side A TFT component, The terminal for connecting a pixel electrode, the electrode of a scan signal or a video signal, wiring and wiring, and an external actuation circuit etc. is formed. The light filter, the black matrix, and the counterelectrode are formed in the substrate (CF substrate) side of another side, and twist [ which impresses and displays vertical electric field almost vertical to a substrate side ] nematic means of displaying is adopted.

[0003] The demand which forms a signal line and its terminal into low resistance is becoming still severer as big-screen-sizing of TFT-LCD (thin film transistor liquid crystal display) and highly minute-ization advance in recent years. Moreover, in order to reduce a production cost, improvement in simplifying a process, raising plant-and-equipment investment effectiveness, and the production yield is called for.

[0004] In order to attain low resistance-ization of a signal line, it is necessary to use the thing of low resistivity as a wiring material. Although the alloy which made aluminum (aluminum) and it the principal component as such a wiring material is known well, in order to correspond to the further low resistance-ization, it is necessary to carry out the wiring material of the alloy which made the principal component copper (Cu), silver (Ag), or them, and to use it.

[0005] As a signal line using low resistivity wiring materials, such as these copper and silver, the thing of the clad structure which covered the low resistivity wiring material with other metallic materials is indicated by JP,9-26602,A. With this clad structure, a low resistivity wiring material bears the low resistive characteristic of a signal line, and other metallic materials are bearing the contact property with a pixel electrode.

[0006]

[Problem(s) to be Solved by the Invention] However, in said conventional technique, in order to form clad structure, to a low resistivity wiring material, one time will need to carry out a HOTOGURA fee process twice [ a total of ] to a metallic material besides a wrap, and that part manufacture process will usually become complicated about 1 time and this low resistivity wiring material in it.

[0007] Then, to form a signal line at 1 time of a phot lithography process for simplification of a

manufacture process is desired strongly. However, it had become the structure of the cascade screen of three layers whose thin film of silver or copper was pinched in the shape of sandwiches with the thin film of other metallic materials for the following reasons in this case.

[0008] First, the fact that copper and silver have weak adhesion force with a substrate is cited as a reason other metallic materials are required for the bottom of the thin film of silver or copper as indicated by surface technical vol.41 (1990) and pp485. That is, when these thin films are directly formed on a transparency substrate and an insulator layer, lowering of the production yield by film peeling is caused. Moreover, when the thin film of copper or silver is directly formed as the source and a drain electrode on the silicon (Si) of a thin film transistor, we are anxious about the degradation of the thin film transistor by copper and silver being spread into silicon.

[0009] Next, the fact that these silver and copper have the high contact resistance between transparency electric conduction film, such as an indium stannic acid ghost (ITO) used for the terminal area and pixel electrode of a signal line with the liquid crystal display of a transparency mold, is cited as a reason the thin film of other metallic materials is required for the upper layer of the thin film of silver or copper as indicated by Journal of Electrochemical Society, and Vol137 (1990) and pp 3928-3930, for example. Moreover, silver and copper have high contact resistance also about between the aluminum usually used as a pixel electrode of a reflective mold liquid crystal display, and the alloy film which made it the principal component. Therefore, when direct continuation of them is carried out to silver or copper, there is a possibility that a display property may deteriorate remarkably in the form of a point defect or a line defect.

[0010] In addition, in order to form the cascade screen of three layers with a sputtering system, the facility equipped with three sputtering targets is needed. However, it is expensive, since the formation time amount of a cascade screen becomes long further, a throughput cannot but worsen, as a result equipment equipped with such a facility also cannot but increase a unit count. Therefore, plant-and-equipment investment effectiveness gets worse extremely.

[0011] Then, in view of the trouble mentioned above, the first technical problem which this invention tends to solve forms the signal line using silver or copper at 1 time of a photolithography process, and makes the laminating number of layers below a bilayer, and aims at offering the configuration of the liquid crystal display which can be formed in the simple process which does not need a new process.

[0012] Moreover, silver and copper are ingredients which are easy to cause the corrosion of migration etc., and we are greatly anxious about lowering of the production yield by the short circuit between signal lines etc. as indicated by corrosion and a corrosion prevention handbook, social corporation Japan Society of Corrosion Engineering, Maruzen (2000), and pp 841-858, for example. Then, the second technical problem which this invention tends to solve aims at offering the configuration of the liquid crystal display which was excellent in the resistance over the short circuit between presser-foot signal lines in the corrosion of a signal line.

[0013] Furthermore, it is necessary to carry out processing formation of a reflective pixel electrode or the transparency pixel electrode in the upper layer through an insulator layer in a reflective mold liquid crystal display on the low resistance signal wiring which consists of silver or copper. When a pinhole, a crack, etc. arise in an insulator layer, the etching reagent of a reflective pixel electrode or a transparency pixel electrode is immersed through the pinhole and crack, and the silver of lower layer signal wiring is exposed to an etching reagent. To the etching reagent of a reflective pixel electrode or a transparency pixel electrode, silver and copper dissolve, in being melttable, signal wiring is disconnected here, and we are anxious about lowering of the yield. A reflective pixel electrode is formed about this point using the alloy film which makes a principal component aluminum with a usually high reflection factor, silver, or them. Although the mixed acid of for example, a phosphoric acid-nitric-acid-acetic acid is used for those etching reagents, since silver and copper are melttable, the above-mentioned technical problem produces them to the mixed acid of a phosphoric acid-nitric-acid-acetic acid. Moreover, also about a transparency pixel electrode, when the indium stannic acid-ized film is used, for example, strong

acid, such as a hydrobromic acid, is used as an etching reagent. Also to a hydrobromic acid, since silver and copper are melttable, the same technical problem produces them. Then, the third technical problem which this invention tends to solve aims at offering the dissolution of signal wiring, and the configuration of a liquid crystal display which can improve a presser foot and the improvement in the yield in an open circuit.

[0014]

[Means for Solving the Problem] In order to solve the first above-mentioned technical problem, the liquid crystal display of this invention At least one of scan signal wiring, video-signal wiring, the source electrode of a thin film transistor, or the drain electrodes of a thin film transistor It is characterized by being the alloy (Ag alloy being called hereafter) which consists of cascade screens which consist of the 1st electric conduction film and the 2nd electric conduction film, and the 1st electric conduction film is an alloy (Mo alloy is called hereafter) which uses molybdenum as a principal component, and the 2nd electric conduction film has in the upper layer of said 1st electric conduction film, and uses silver as a principal component. This reason is explained below.

[0015] First, when the 1st electric conduction film is under the 2nd electric conduction film which is low resistance, the problem of film peeling by the adhesion of copper and silver which were mentioned above, and a substrate being weak is solved. Moreover, in the case of the source electrode of a thin film transistor, and a drain electrode, the problem of the degradation of the thin film transistor by copper and silver to the inside of silicon being spread is solved. Moreover, to liquid, such as a mixed acid of for example, a phosphoric acid-nitric-acid-acetic acid, since both sides are melttable, it is 1 time of photolithography, and, as for Ag alloy and Mo alloy, they can do patterning processing according to 1 time of an etching process.

[0016] Next, the through hole and contact hole which penetrate said 2nd electric conduction film which uses the insulator layer on scan signal wiring, video-signal wiring, the source electrode of a thin film transistor, and a drain electrode and silver as a principal component are formed, and the electric conduction film used as a reflective pixel electrode or the transparency electric conduction film used as a transparency pixel electrode is formed on this through hole and a contact hole. Here, from on the insulator layer of the upper layer of scan signal wiring or video-signal wiring, a through hole penetrates said 2nd electric conduction film of scan signal wiring or video-signal wiring, and points out an open beam hole, and from on the insulator layer of the upper layer of the source electrode of a thin film transistor, or a drain electrode, a contact hole penetrates said 2nd electric conduction film of a source electrode or a drain electrode, and points out an open beam hole.

[0017] With such structure, the electric conduction film used for a reflective pixel electrode and the transparency electric conduction film used for a transparency pixel electrode can contact the 1st [ said ] electric conduction film which uses molybdenum as a principal component, and directly. Although the alloy which made the principal component aluminum with a reflection factor high as a reflective pixel electrode, silver, or them at this time is used Since the contact resistance with the alloy which uses as a principal component the electric conduction film used as these reflective pixel electrode and molybdenum, or the alloy which uses the transparency electric conduction film and molybdenum as a principal component is low stable, Even if Mo alloy (1st electric conduction film) is in the lower layer of Ag alloy (2nd electric conduction film), connection resistance with the electric conduction film used for a reflective pixel electrode and the transparency electric conduction film used for a transparency pixel electrode can be lowered.

[0018] If a complicated process is required in order to form the aforementioned contact hole, it becomes impossible here, to plan low production cost nature which is one of the objects of this invention. So, in this invention, it turned out that it can dissolve in an insulator layer in dry etching processing by the fluorine plasma at the time of carrying out contact hole processing by wet processing using the oxalic acid which invades neither the alloy with which the alloy which uses silver as a principal component uses as a principal component to carry out valence change at the gestalt of a fluoride, the

alloy with which this fluoride uses silver as a principal component, and molybdenum nor an insulator layer nor silicon. Therefore, an above-mentioned contact hole can be formed in the above simple process. The configuration of the liquid crystal display which can be formed in the simple process which formed the signal line using silver or copper at 1 time of a photolithography process by this, and made the laminating number of layers below the bilayer can be offered.

[0019] In addition, since the resistance over the dry etching by the fluorine plasma can be given by using molybdenum as a principal component for the 1st electric conduction film, and considering as a zirconium (Zr), a hafnium (Hf), chromium (Cr), and the alloy that contains a kind of element at least among titanium (Ti), disappearance of a through hole and the 1st electric conduction film at the time of contact hole processing can be prevented. That is, it becomes possible to make the 1st electric conduction film thin, and thickness of a signal wiring total can also be made thin. As a result, the coat property of the insulator layer formed in the upper layer becomes good, the level difference riding \*\*\*\* property of the signal wiring formed on an insulator layer, the electric conduction film used for a reflective pixel electrode, and the transparency electric conduction film used for a transparency pixel electrode also improves greatly, and its production yield improves greatly.

[0020] Moreover, control of the signal-line cross-section configuration by etching processing of Ag alloy using the mixed acid of a phosphoric acid-nitric-acid-acetic acid and Mo alloy cascade screen is most excellent in the case where used molybdenum as the principal component for the 1st electric conduction film, and it considers as the alloy containing a zirconium. In etching processing which used the mixed acid of a phosphoric acid-nitric-acid-acetic acid 4% of the weight or more in order to secure dry etching resistance, as for the content of a zirconium, it is desirable that it is 23 or less % of the weight in order not to leave an etch residue. In addition, in order not to leave an etch residue, it is desirable to add ammonium fluoride or a hydrofluoric acid to the mixed acid of a phosphoric acid-nitric-acid-acetic acid.

[0021] Next, a means to solve the second above-mentioned technical problem is described. A means to solve the second technical problem is covering with an insulator layer or other electric conduction film all the front faces of the alloy which uses silver as a principal component. Here, although, as for scan signal wiring, almost all parts are covered with gate dielectric film and a protection insulator layer by the protection insulator layer, as for video-signal wiring, the source of a thin film transistor, and a drain electrode, Ag alloy may expose the side-attachment-wall parts of a through hole and a contact hole to a front face. Here, the alloy which uses the silver in the through hole side-attachment-wall section as a principal component can be covered by covering a bigger field than the insulator layer which carried out opening of the through hole in a part for the terminal area of video-signal wiring or scan signal wiring by other electric conduction film. The alloy which used silver as the principal component can be covered by using the electric conduction film used in case a transparency pixel electrode or a reflective pixel electrode is formed as other electric conduction film, without increasing a routing counter. In the contact hole part for connecting the source electrode and reflective pixel electrode which carried out opening on the source electrode, Ag alloy in the contact hole side-attachment-wall section can be covered by covering the electric conduction film used as a pixel electrode in a field [ at least ] larger than a contact hole. Also in the contact hole part for connecting the source electrode and transparency pixel electrode which carried out opening on the source electrode, the alloy film which consists of silver in the contact hole side-attachment-wall section can be covered by covering the transparency electric conduction film used as a transparency pixel electrode in a field [ at least ] larger than a contact hole.

[0022] Here, when the transparency electric conduction film used in case the alloy film which consists of silver is covered is polycrystal indium stannic acid-ized film, an etching reagent which corrodes the alloy which uses silver like a hydrobromic acid as a principal component is used. When gate dielectric film and the protection insulator layer on signal wiring have a pinhole defect, the etching reagent of a polycrystal indium stannic acid ghost may be immersed from there, and signal wiring may be corroded. In such a case, it is more desirable than the etching reagent of the polycrystal indium stannic acid ghost

instead of a polycrystal indium stannic acid ghost to adopt the amorphous indium stannic acid ghost which can be etched as transparency electric conduction film from a corrosive weak acid.

[0023] Moreover, since corrosive small oxalic acid can be further used as the etching reagent, it is very advantageous to adopt an indium zincic acid ghost and indium germanium oxide as transparency electric conduction film in respect of the production yield. However, if it covers the through hole of a signal wiring terminal area thoroughly with an indium zincic acid ghost or indium germanium oxide like [ in the case of an indium stannic acid ghost ], connection resistance with this transparency electric conduction film front face and an anisotropy electric conduction film will become high, and terminal strapping will become impossible. This is a phenomenon which happens in order that the zinc in an indium zincic acid ghost or the germanium in indium germanium oxide may run short in the front face of the transparency electric conduction film. In addition, in the case of an indium stannic acid ghost, such a phenomenon is not accepted. So, in adopting an indium zincic acid ghost and indium germanium oxide as transparency electric conduction film, it considers as the structure in which the 1st electric conduction film which uses molybdenum as a principal component only for the side-attachment-wall section of a through hole by the pars basilaris ossis occipitalis of a bonnet and a through hole by the transparency electric conduction film is exposed. In this case, terminal strapping turns into connection with the alloy and anisotropy electric conduction film which use molybdenum as a principal component. The low good terminal strapping of connection resistance with the alloy and anisotropy electric conduction film which use this molybdenum as a principal component becomes possible. Moreover, the role which covers the 2nd electric conduction film which uses silver as a principal component is also played. By the above, the configuration of the reflective mold liquid crystal display which was excellent in the resistance over a presser foot and the short circuit between signal lines in the corrosion of a signal line can be offered.

[0024] Next, a means to solve the third above-mentioned technical problem is described. A means to solve the third technical problem is arranging the signal wiring which consists of the 1st electric conduction film and said 2nd electric conduction film under a pixel electrode, and superimposing through an insulator layer. In this structure, in the field to which a pixel electrode exists, scan signal wiring is superimposed in all fields other than the pixel gap which adjoins in the direction of a train, and video-signal wiring is superimposed in all fields other than the pixel gap which adjoins a line writing direction. The pinhole which exists on signal wiring by considering as this configuration, or the crack which exists in a signal wiring periphery is covered with the pixel electrode, and since an etching reagent is immersed neither from a pinhole nor a crack, signal wiring can improve the yield substantially, without disconnecting and dissolving. In the liquid crystal display which has a transparency pixel electrode, it becomes the pinhole which exists in an insulator layer using a transparency pixel electrode, and the structure which covers a crack. The configuration of the liquid crystal display which can press down the dissolution of signal wiring and an open circuit by the above can be offered.

[0025]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained to a detail, referring to an accompanying drawing.

[0026] [Gestalt of the 1st operation] drawing 1 is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 1st of this invention. Drawing 2 is a top view of a near transparency insulating substrate where the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation is arranged. In addition, drawing 1 compounds the sectional view at which it looked in the direction of an A-A' direction of view and B-B' view described into drawing 2.

[0027] The active-matrix reflective mold liquid crystal display of the gestalt of this operation is equipped with the transparency insulating substrate SUB 2 of the pair opposite side by which opposite arrangement is carried out with this through the transparency insulating substrate SUB 1 and the liquid crystal layer LC by which the thin film transistor TFT as a switching element of a substrate pixel is arranged. In the following explanation, the transparency insulating substrate SUB 1 of the side by which

this thin film transistor TFT is arranged is called a TFT substrate, and the transparency insulating substrate SUB 2 of the pair opposite side by which opposite arrangement is carried out through this TFT substrate SUB 1 and the liquid crystal layer LC is called CF substrate.

[0028] As shown in drawing 1, the thin film transistor TFT of a reverse stagger is arranged at the TFT substrate SUB 1. Moreover, in addition, the scan signal wiring GL1/GL2 for driving this thin film transistor TFT and the video-signal wiring DL1/DL2, and the reflective pixel electrode PXA are arranged at this TFT substrate SUB 1. This scan signal wiring GL1/GL2 is formed by the bilayer laminated structure which consists of the 1st electric conduction film GL1 and the 2nd electric conduction film GL2, and is formed by the bilayer laminated structure which the video-signal wiring DL1/DL2 also becomes from the 1st electric conduction film DL 1 and the 2nd electric conduction film DL 2.

[0029] The video-signal wiring DL1/DL2 is connected to the drain electrodes (video-signal electrode) DE1/DE2 of a thin film transistor TFT. The video-signal electrodes DE1/DE2 of this thin film transistor TFT are also formed by the bilayer laminated structure which consists of the 1st electric conduction film DE 1 and the 2nd electric conduction film DE 2, and are formed by the bilayer laminated structure which those source electrodes SE1/SE2 also become from the 1st electric conduction film SE 1 and the 2nd electric conduction film SE 2.

[0030] It serves as that gate \*\*\*\*\* in the component field of the thin film transistor TFT of the scan signal wiring GL1/GL2, and insulates by gate-dielectric-film GI between these gate electrodes GL1/GL2, and the drain electrodes (video-signal electrode) DE1/DE2 and the source electrodes SE1/SE2. an electrode for SI to guarantee the semi-conductor layer of this thin film transistor TFT, and for NSI guarantee contact in the source electrodes SE1/SE2 of a thin film transistor TFT and the drain electrodes (video-signal electrode) DE1/DE2, and this semi-conductor SI layer -- moreover, PAS shows the protection insulator layer of a thin film transistor TFT, respectively.

[0031] The reflective pixel electrode PXA is connected in the contact hole CH by which opening was carried out to the source electrodes SE1/SE2 of this thin film transistor TFT on the protection insulator layer PAS. The orientation film ORI1 is formed in the protection insulator layer PAS of a thin film transistor TFT, and the front face of the reflective pixel electrode PXA.

[0032] On the other hand, as the CF substrate SUB 2 demarcates each pixel field in the gap of the pixel electrode PXA arranged in the field by the side of that liquid crystal layer LC at the TFT substrate SUB 1 top, the protection-from-light pattern BM is formed, and the light filter CF is formed in opening which determines the substantial pixel field of this protection-from-light pattern BM.

[0033] And the overcoat film OC which covers the protection-from-light pattern BM and a light filter CF, for example, consists of resin film is formed, the common signal electrode CE is formed in the front face of this overcoat film OC, and the orientation film ORI2 is further formed in the front face of this common signal electrode CE. The diffusion film SF for diffusing incident light and outgoing radiation light is formed in the field (the liquid crystal layer LC side is the field of an opposite hand) of the outside of the CF substrate SUB 2, and the polarizing plate POL is formed in the front face of the diffusion film SF through the phase contrast plate NF.

[0034] And if the electrical potential difference more than the threshold of a thin film transistor TFT joins the scan signal wiring GL1/GL2, the semi-conductor layer SI will be in switch-on, and, as for a thin film transistor TFT, the electrical potential difference on which between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SE1/SE2 is impressed to the video-signal wiring DL1/DL2 by being flowed in that case will be transmitted to the pixel electrode PXA.

[0035] moreover, when the electrical potential difference of the scan signal wiring GL1/GL2 is below a threshold electrical potential difference of a thin film transistor TFT Between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SE1/SE2 will be in an insulating condition. The electrical potential difference currently impressed to the video-signal wiring DL1/DL2 is not transmitted to the pixel electrode PXA, but the pixel electrode PXA holds the electrical potential difference transmitted when the video-signal electrodes DE1/DE2 and the source electrodes

SE1/SE2 were switch-on. In addition, between the video-signal electrodes DE1/DE2 and the source electrodes SE1/SE2, and the semi-conductor layer SI, the electrode NSI which consists of silicon film which doped impurities, such as Lynn (P), is formed. Since the contact resistance becomes high when direct continuation of the semi-conductor layer SI is carried out to the 1st electric conduction film of the video-signal electrodes DE1/DE2 or the source electrodes SE1/SE2 as mentioned above, Electrode NSI is formed in order to reduce this.

[0036] The contact hole CH is formed in the protection insulator layer PAS of a thin film transistor TFT. In a contact hole CH pars basilaris ossis occipitalis, the 2nd electric conduction film SE 2 which forms the source electrodes SE1/SE2 disappeared, and (Molybdenum Mo) alloy film of the 1st electric conduction film SE 1 is exposed. The contact hole CH is formed in order to connect the source electrodes SE1/SE2 and the reflective pixel electrode PXA of a thin film transistor TFT, and the reflective pixel electrode PXA overcomes the level difference of a contact hole CH, contacts the 1st electric conduction film SE 1 of the source electrodes SE1/SE2 exposed to the contact hole CH pars basilaris ossis occipitalis, and is connected electrically. The reflective pixel electrode PXA also has the function to reflect the light which carried out incidence, from the polarizing plate POL side, and a display is performed using this reflected light in a reflective mold liquid crystal display.

[0037] Surface treatment is performed to the liquid crystal opposed face by the rubbing method etc., and the orientation film ORI1 and ORI2 has the function to which the orientation of the liquid crystal layer LC is made to carry out in the fixed direction. The polarizing plate POL has the function to change into the linearly polarized light the light which carried out incidence. It passes along the phase contrast plate NF and the liquid crystal layer LC, and reflects with the reflective pixel electrode PXA, and the light which carried out incidence from the polarizing plate POL side passes the liquid crystal layer LC and the phase contrast plate NF again, and reaches a polarizing plate POL.

[0038] The liquid crystal layer LC and the phase contrast plate NF have a refractive-index anisotropy, and the property changes with the electric fields by which the refractive-index anisotropy of the liquid crystal layer LC was impressed to the liquid crystal layer LC. For example, it sets in the Nor Marie White mold which indicates by white in the condition that electric field are not impressed to the liquid crystal layer LC. When electric field are built over the liquid crystal layer LC, the light which passed the polarizing plate POL, reflected with the reflective pixel electrode PXA, and reached the polarizing plate POL again It becomes parallel polarization to the absorption shaft of a polarizing plate POL by the phase contrast plate NF and the liquid crystal layer LC, and it becomes a black display, in order to be absorbed with a polarizing plate POL and not to carry out outgoing radiation out of a reflective mold liquid crystal display. On the other hand, in the condition that electric field are not impressed to the liquid crystal layer LC, the light which reflected with the reflective pixel electrode PXA by the phase contrast plate NF and the liquid crystal layer LC, and reached the polarizing plate POL turns into vertical polarization to the absorption shaft of a polarizing plate POL, and in order to carry out outgoing radiation out of a reflective mold liquid crystal display, without being absorbed with a polarizing plate POL, it serves as a white display.

[0039] As shown in drawing 2 , thin film transistor TFT and the pixel electrode PXA are formed one [ at a time ] in the field divided with the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2, respectively, and the pixel consists of gestalten of this operation. In addition, in the field to which the thin film transistor TFT is arranged, in order to prevent malfunction of a thin film transistor TFT, the pixel electrode PXA is not arranged. The video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2, and the source electrodes SE1/SE2 are formed with the same ingredient at the same process.

[0040] With the gestalt of this operation The scan signal wiring GL1/GL2, the video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, and the source electrodes SE1/SE2 all consist of the 1st electric conduction film GL1, DL1, DE1, and SE1 and the 2nd electric conduction film GL2, DL2, DE2, and SE2. The 1st electric conduction film GL1, DL1, DE1, and SE1

consists of an alloy which uses Mo as a principal component, the 2nd electric conduction film GL2, DL2, DE2, and SE2 is located on the 1st electric conduction film GL1, DL1, DE1, and SE1, and the alloy film which uses Ag as a principal component is used. The alloy film which used aluminum as the principal component is used for the reflective pixel electrode PXA. Next, the configuration for the terminal area linked to the configuration of substrate SUB1 edge of the reflective mold liquid crystal display of the gestalt of the 1st operation, an electrical circuit, and an external actuation circuit is explained.

[0041] Drawing 3 is the schematic diagram of the electrical circuit of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation. Drawing 4 is the cross section of the substrate edge of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation. In addition, in drawing 4, as for drawing 4 (a), drawing 4 (b) of the near edge where the terminal GTM for scan signal wiring is arranged shows the mimetic diagram of the edge of an opposite hand, as for drawing 4 (a).

[0042] It extends in the x directions and a sequential-scanning signal (voltage signal) is supplied in the direction of y from the vertical-scanning circuit V through the terminal GTM for scan signal wiring at said each scan signal wiring GL1/GL2 by which two or more side-by-side installation is carried out as shown in the electrical circuit of drawing 3. The thin film transistor TFT of each pixel field arranged along with the scan signal wiring GL1/GL2 is driven with this scan signal. And according to the timing of this scan signal, through the terminal DTM for video-signal wiring, it extends in the direction of y and a video signal is supplied in the x directions from the video-signal actuation circuit H at each video-signal wiring DL1/DL2 by which two or more side-by-side installation is carried out. This video signal is transmitted to the reflective pixel electrode PXA through this thin film transistor TFT of each pixel field. The opposite electrical potential difference is impressed to the common signal electrode CE through the terminal coal tar mixture for common signal wiring, and electric field occur between the pixel electrode PXA and the common signal electrode CEA. It has composition with which the light transmittance of the liquid crystal layer LC is controlled by this electric field. In this drawing, each sign of R, G, and B which were shown in each pixel field shows that the light filter CF of each pixel field is the filter for red, a filter for green, and a filter for blue, respectively.

[0043] As the immobilization to the CF substrate SUB 2 of the TFT substrate SUB 1 is shown in drawing 4, it is made by sealant SL formed around the CF substrate SUB 2, and it fills up with the liquid crystal layer LC in the field enclosed with this sealant SL. The terminal GTM for scan signal wiring, the terminal DTM for video-signal wiring, and the terminal coal tar mixture for common signal wiring are formed in the field which is not covered by the CF substrate SUB 2, respectively on the outside of this sealant SL, and the outskirts of the TFT substrate SUB 1. In drawing 4, the terminal GTM for scan signal wiring is illustrated.

[0044] Each terminal is connected with the external actuation circuits V and H which mentioned the electric conduction particle above in drawing 3 through the anisotropy electric conduction film distributed in adhesives with connection types, such as TCP (Tape Carrier Package) or COG (Chip On Glass). In addition, a part of this sealant SL has liquid crystal enclosure opening which is not illustrated, and after enclosing liquid crystal LC from here, closure is made with a liquid crystal sealing agent.

[0045] Drawing 5 is the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a). Drawing 6 is the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of this operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[0046] As shown in drawing 5, the terminal GTM part for scan signal wiring forms the extension section of the scan signal wiring GL1/GL2 in the field which forms the terminal GTM part for scan signal wiring on the transparency insulating substrate SUB 1 first, and is produced. Furthermore, the scan signal

wiring GL1/GL2 is covered, the laminating of the protection insulator layer PAS of gate-dielectric-film GI and a thin film transistor TFT is carried out one by one, and a part of extension section of the scan signal wiring GL1/GL2 is exposed by the through hole TH established in these gate-dielectric-film GI and the protection insulator layer PAS. At this time, although opening of the through hole TH is carried out to the protection insulator layer PAS and gate-dielectric-film GI, in order that the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 of a through hole TH pars basilaris ossis occipitalis in a dry etching processing process may disappear, the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 is exposed at the through hole TH pars basilaris ossis occipitalis with dry etching processing using the fluorine plasma. It is the same ingredient as the time of the pad electrode TCA forming the reflective pixel electrode PXA on it, and is formed at the same process, and the terminal GTM for scan signal wiring is formed. This pad electrode TCA is electrically connected with the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 through a through hole TH.

[0047] First, as shown in drawing 6, after gate-dielectric-film GI is formed on the transparency insulating substrate SUB 1, the terminal DTM part for video-signal wiring forms the extension section of the video-signal wiring DL1/DL2 in the field in which the terminal DTM for video-signal wiring is formed, and is produced. Then, opening of the through hole TH is carried out to a part of field in which the pad electrode TCA produced at a next process among the fields in which the protection insulator layer PAS of a thin film transistor TFT is formed in, and the terminal DTM for video-signal wiring is formed is formed. Although opening of the through hole TH is carried out to the protection insulator layer PAS by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film DL 2 which forms the video-signal wiring DL1/DL2 of a through hole TH pars basilaris ossis occipitalis may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film DL 1 which forms the video-signal wiring DL1/DL2 is exposed. It is the same ingredient as the time of the pad electrode TCA forming the reflective pixel electrode PXA on it, and is formed at the same process, and the terminal DTM for video-signal wiring is formed. This pad electrode TCA is electrically connected with the 1st electric conduction film DL 1 which forms the video-signal wiring DL1/DL2 through a through hole TH. Next, drawing 7 and drawing 8 explain the example of the formation approach of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation using the important section sectional view for every production process of a TFT substrate.

[0048] Drawing 7 is drawing showing the process flow for realizing the 1st configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation. Drawing 8 is the sectional view at which was made to correspond in the direction of a view described into said drawing 2 at the time of producing a TFT substrate according to the process flow of drawing 7, and it looked.

[0049] In the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation, the TFT substrate SUB 1 is specifically completed through five steps of phot lithography processes of (A) – (E). Hereafter, it explains in order of a process.

(Process A) transparency insulating substrate SUB 1 is prepared. Throughout the front face by for example, the sputtering method Mo alloy film which used Mo as the principal component and added the zirconium (Zr) Continuation formation of the 100–300nm (it is hereafter called an Ag–Pd alloy for short) of the Ag alloy film which used preferably 20–100nm of 40nm of Ag as the principal component for (it is hereafter called Mo–Zr for short) on it further, and added palladium (Pd) is preferably carried out by 160nm thickness. Next, using a phot lithography techniques, selective etching of the Mo–Zr film and the Ag–Pd film is carried out in self align by package, and the extension section of the scan signal wiring GL1/GL2 is formed in the scan signal wiring GL1/GL2 and the terminal GTM formation field for scan signal wiring.

[0050] Throughout the front face of (Process B) transparency insulating substrate SUB 1, about 200–700nm (SiN film) of silicon nitride films used as gate-dielectric-film GI is preferably formed by 350nm thickness for example, by the plasma-CVD method. Furthermore, the laminating of the 10–100nm (n-Si

film) of the amorphous silicon film which is 200nm thickness preferably 50–300nm about the amorphous silicon film (a-Si film), and doped Lynn (P) as an n mold impurity for example, by the plasma-CVD method throughout the front face of this gate-dielectric-film GI is preferably carried out one by one by 20nm thickness. Next, using a phot lithography techniques, the amorphous silicon film (a-Si film, n-Si film) of a bilayer is etched, and the semi-conductor layer SI and Electrode NSI of a thin film transistor TFT are formed in a pixel field.

[0051] Throughout the front face of (Process C) transparency insulating substrate SUB 1, continuation formation of the 20–100nm of the 100–300nm of 40nm and Ag–Pd alloy film is preferably carried out for the Mo–Zr film by 160nm thickness for example, by the sputtering method. Next, using a phot lithography techniques, selective etching of the Mo–Zr film and the Ag–Pd film is carried out in self align by package, in a pixel field, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, the source electrodes SE1/SE2, and the video-signal wiring DL1/DL2 are formed, and the extension section of the video-signal wiring DL1/DL2 is formed in the terminal DTM formation field for video-signal wiring. Then, the amorphous silicon film (n+Si film) which doped Lynn as an n mold impurity is etched by using as a mask the pattern which etched the Mo–Zr film and the Ag–Pd film.

[0052] Throughout the front face of (Process D) transparency insulating substrate SUB 1, 200nm – 900nm (SiN film) of silicon nitride films used as the protection insulator layer PAS of a thin film transistor TFT is preferably formed by 350nm thickness for example, by the plasma-CVD method. Next, using a phot lithography techniques, the protection insulator layer PAS is etched and the contact hole CH for exposing some source electrodes SE1/SE2 of this thin film transistor TFT in a pixel field is formed. With this, even gate-dielectric-film GI located in the lower layer of the protection insulator layer PAS is made to penetrate a through hole TH in the terminal GTM formation field for scan signal wiring, and the through hole TH for exposing a part of scan signal wiring GL1/GL2 is formed in it. The through hole TH for exposing the extension section of the video-signal wiring DL1/DL2 is formed in the terminal DTM formation field for video-signal wiring. In this dry etching process, the 2nd electric conduction film SE2, GL2, and DL2 which exists in the field which carried out opening of a contact hole CH and the through hole TH deteriorates in the silver fluoride. Then, dissolution clearance of the silver fluoride of a contact hole CH and the 2nd electric conduction film SE2, GL2, and DL2 of a through hole TH pars basilaris ossis occipitalis is selectively carried out using oxalic acid.

[0053] Throughout the front face of (Process E) transparency insulating substrate SUB 1, aluminum used as the reflective pixel electrode PXA is used as a principal component for example, by the sputtering method, and 50–300nm (it is hereafter called the aluminum–Nd film for short) of 200nm of aluminum alloy film containing neodymium (Nd) is formed preferably. Next, the aluminum–Nd film is etched using a phot lithography techniques, and while forming the pixel electrode PXA connected with the source electrodes SE1/SE2 through a contact hole CH in a pixel field, the pad electrode TCA for connection is formed in the terminal GTM formation field for scan signal wiring, and the terminal DTM formation field for video-signal wiring through a through hole TH. The TFT substrate SUB 1 side is completed according to the process shown above.

[0054] On the other hand, the protection-from-light pattern BM which consists of the light filter CF produced by the pigment-content powder method and a chromium (Cr) system, or an organic material is formed in the CF substrate SUB 2 side. Then, the overcoat film OC used as a flattening layer is formed, the liquid crystal layer LC is enclosed for the TFT substrate SUB 1 and the CF substrate SUB 2 lamination and in between, and it becomes a reflective mold liquid crystal display by arranging a polarizing plate POL on the outside of the CF substrate SUB 2.

[0055] According to the gestalt of this operation, the source electrodes SE1/SE2 of a thin film transistor TFT are made into the bilayer laminated structure of the 1st electric conduction film SE 1 and the 2nd electric conduction film SE 2. The source electrodes SE1/SE2 can be formed at 1 time of a phot lithography process by using the 1st electric conduction film SE 1 as Mo alloy, and considering as Ag alloy which formed the 2nd electric conduction film SE 2 in the upper layer of Mo alloy. Furthermore,

Ag alloy of the 2nd electric conduction film SE 2 of the source electrodes SE1/SE2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the contact hole CH is carried out to the protection insulator layer PAS. The source electrodes SE1/SE2 and the pixel electrode PXA can be connected by the contact resistance stabilized low, without increasing a photolithography processes for exposing Mo alloy of the 1st electric conduction film SE 1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0056] According to the gestalt of this operation, the video-signal wiring DL1/DL2 and scan signal wiring GL1/GL2 are made into the bilayer laminated structure of the 1st electric conduction film DL1 and GL1 and the 2nd electric conduction film DL2 and GL2. The video-signal wiring DL1/DL2 and the scan signal wiring GL1/GL2 can be formed at 1 time of a photolithography process by using the 1st electric conduction film DL1 and GL1 as Mo alloy, and considering as Ag alloy which formed the 2nd electric conduction film DL2 and GL2 in the upper layer of Mo alloy. Furthermore, Ag alloy of the 2nd electric conduction film DL2 and GL2 of the video-signal wiring DL1/DL2 and the scan signal wiring GL1/GL2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the through hole TH is carried out to the protection insulator layer PAS. The pad electrode TCA can be connected with the scan signal wiring GE1/GE2 and the video-signal wiring DL1/DL2 by the contact resistance stabilized low, without increasing a photolithography processes for exposing Mo alloy of the 1st electric conduction film DL1 and GL1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0057] According to the gestalt of this operation, since the 2nd electric conduction film SE 2 which consists of an Ag alloy which forms the source electrodes SE1/SE2 which exist in the contact hole CH side-attachment-wall section has structure which the front face is covered with the reflective pixel electrode PXA, and is not exposed, it can prevent the corrosion of Ag alloy.

[0058] According to the gestalt of this operation, since the 2nd electric conduction film GE2 which forms the 2nd electric conduction film DL 2 and scan signal wiring GE1/GE2 which forms the video-signal wiring DL1/DL2 which exists in the through hole TH side-attachment-wall section has structure which the front face is covered with the pad electrode TCA, and is not exposed, it can prevent the corrosion of Ag alloy.

[0059] [the gestalt of the 2nd operation] -- the gestalt of operation of the 2nd of this invention is explained below using drawing 14 from drawing 9 . The explanation which attaches the same sign and overlaps about the same component as the gestalt of the 1st operation of the above-mentioned in drawing 14 from drawing 9 is omitted. Drawing 9 is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 2nd of this invention.

[0060] Drawing 10 is a top view of a near transparency insulating substrate where the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation is arranged. In addition, drawing 9 compounds the sectional view at which it looked in the direction of an A-A' direction of view and B-B' view described into drawing 10 .

[0061] The transparency pixel electrode with which PXI consists of an indium stannic acid ghost (it is hereafter called p-ITO for short) of polycrystal in drawing, In TCI (refer to below-mentioned drawing 11 and drawing 12 ), while POL2 shows a circular polarization of light plate and BL shows a back light, respectively, the pad electrode which consists of p-ITO, and RP1/RP2 a reflecting plate RP1 shows the 2nd electric conduction film RP 2 with which RP2 forms reflecting plates RP1/RP2 for the 1st electric conduction film which forms reflecting plates RP1/RP2.

[0062] the active-matrix reflective mold liquid crystal display of the gestalt of this operation -- if it is, as shown in drawing 9 , the transparency pixel electrode PXI as a pixel electrode is arranged at the TFT substrate SUB 1. The transparency pixel electrode PXI is connected as electrically as the source electrodes SE1/SE2 of a thin film transistor TFT.

[0063] If the electrical potential difference more than the threshold of a thin film transistor TFT joins the scan signal wiring GL1/GL2, the semi-conductor layer SI will be in switch-on, and, as for a thin film

transistor TFT, between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SE1/SE2 will be flowed through it. The electrical potential difference currently impressed to the video-signal wiring DL1/DL2 in that case is transmitted to the transparency pixel electrode PXI.

[0064] on the other hand, when the electrical potential difference of the scan signal wiring GL1/GL2 is below the threshold of a thin film transistor TFT Between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SE1/SE2 is insulated. The electrical potential difference currently impressed to the video-signal wiring DL1/DL2 is not transmitted to the transparency pixel electrode PXI, but the transparency pixel electrode PXI holds the electrical potential difference transmitted when between the video-signal electrodes DE1/DE2 and the source electrodes SE1/SE 2 was switch-on. The contact hole CH is formed in order to connect the source electrodes SE1/SE2 and the transparency pixel electrode PXI of a thin film transistor TFT, and the transparency pixel electrode PXI overcomes the level difference of a contact hole CH, contacts the source electrodes SE1/SE2 exposed to the contact hole CH pars basilaris ossis occipitalis, and is connected electrically. Moreover, the circular polarization of light plate POL 2 for changing the light from a back light BL into the circular polarization of light is arranged at the side which does not arrange the thin film transistor TFT of the TFT substrate SUD1. The circular polarization of light plate POL 2 is the configuration which carried out the laminating of the polarizing plate for changing into the linearly polarized light, and the 4/lambda phase contrast plate.

[0065] As shown in drawing 10 , thin film transistor TFT, the transparency pixel electrode PXI, and every one reflecting plates RP1/RP2 are formed in the field divided with the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2, respectively, and the pixel consists of gestalten of this operation. The maximum front face uses Ag alloy of a high reflection factor, and reflecting plates RP1/RP2 have the function to reflect the light which carried out incidence from the polarizing plate POL side.

[0066] In the field which reflecting plates RP1/RP2 and the transparency pixel electrode PXI superimpose here The reflective display which reflected the light which carried out incidence from the polarizing plate POL side of the CF substrate SUB 2 which is not illustrated with reflecting plates RP1/RP2, and used outdoor daylight is performed. In the field which the transparency pixel electrode PXI exists and reflecting plates RP1/RP2 and the transparency pixel electrode PXI do not superimpose It indicates by transparency using the light by which outgoing radiation was carried out from the back light BL arranged at the side which does not arrange the thin film transistor TFT of the TFT substrate SUB 1 which is not illustrated.

[0067] With the gestalt of this operation All the scan signal wiring GL1/GL2, the video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, the source electrodes SE1/SE2, and reflecting plates RP1/RP2 The 1st electric conduction film GL1, DL1, DE1, SE1, and RP1 and the 2nd electric conduction film GL2, Consist of DL2, DE2, SE2, and RP2, and the 1st electric conduction film GL1, DL1, DE1, SE1, and RP1 consists of an Mo alloy. The 2nd electric conduction film GL2, DL2, DE2, SE2, and RP2 is located on the 1st electric conduction film GL1, DL1, DE1, SE1, and RP1, and Ag alloy film is used. The ITO film of polycrystal is used for the transparency pixel electrode PXI.

[0068] Drawing 11 is the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a). Drawing 12 R> 2 is the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[0069] As shown in drawing 11 , first, the extension section of the scan signal wiring GL1/GL2 forms the terminal GTM part for scan signal wiring, and it is produced by the field which forms the terminal GTM

part for scan signal wiring on the transparency insulating substrate SUB 1. Furthermore the scan signal wiring GL1/GL2 is covered, the laminating of gate-dielectric-film GI and the protection insulator layer PAS of a thin film transistor TFT is carried out one by one, and a part of extension section of the scan signal wiring GL1/GL2 is exposed by these gate-dielectric-film GI and the through hole TH established in the protection insulator layer PAS. At this time, although opening of the through hole TH is carried out to the protection insulator layer PAS and gate-dielectric-film GI, in order that the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 of a through hole TH pars basilaris ossis occipitalis in a dry etching processing process may disappear, the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 is exposed at the through hole TH pars basilaris ossis occipitalis with dry etching processing using the fluorine plasma. It is the same ingredient as the time of the pad electrode TCI forming the transparency pixel electrode PXI on it, and is formed at the same process, and the terminal GTM for scan signal wiring is formed. This pad electrode TCI is electrically connected with the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 through a through hole TH.

[0070] First, as shown in drawing 12, after gate-dielectric-film GI is formed on the transparency insulating substrate SUB 1, the terminal DTM part for video-signal wiring forms the extension section of the video-signal wiring DL1/DL2 in the field in which the terminal DTM for video-signal wiring is formed, and is produced. Then, opening of the through hole TH is carried out to a part of field which is produced at a next process among the fields in which the protection insulator layer PAS of a thin film transistor TFT is formed in, and the terminal DTM for video-signal wiring is formed and in which the pad electrode TCI is formed. Although opening of the through hole TH is carried out to the protection insulator layer PAS by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film DL 2 which forms the video-signal wiring DL1/DL2 of a through hole TH pars basilaris ossis occipitalis may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film DL 1 which forms the video-signal wiring DL1/DL2 is exposed. It is the same ingredient as the time of the pad electrode TCI forming the transparency pixel electrode PXI on it, and is formed at the same process, and the terminal DTM for video-signal wiring is formed. This pad electrode TCI is electrically connected with the 1st electric conduction film DL 1 used for video-signal wiring through a through hole TH. Next, drawing 13 and drawing 14 explain the example of the formation approach of the active-matrix reflective mold liquid crystal display of the 2nd operation gestalt using the important section sectional view for every production process of the TFT substrate SUB 1.

[0071] Drawing 13 is drawing showing the process flow for realizing the 2nd configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation. Drawing 14 is the sectional view at which was made to correspond in the direction of a view described into said drawing 10 at the time of producing a TFT substrate according to the process flow of drawing 13, and it looked.

[0072] In the 2nd operation gestalt, the TFT substrate SUB 1 is specifically completed through six steps of phot lithography processes of (A) – (E). (B) Since it is the same as that of the case of the 1st operation gestalt mentioned above about the process of – (D), the explanation is omitted.

(Process A) transparency insulating substrate SUB 1 is prepared, and continuation formation of the 100–300nm (it is hereafter called an Ag–Pd alloy for short) of the Ag alloy film which used preferably 20–100nm of 40nm of Ag as the principal component for the Mo alloy film (it is hereafter called Mo–Zr for short) which used Mo as the principal component and added Zr for example, by the sputtering method throughout the front face on it further, and added Pd is preferably carried out by 160nm thickness. Next, while carrying out selective etching of the Mo–Zr film and the Ag–Pd film in self align by package and forming the extension section of the scan signal wiring GL1/GL2 in the scan signal wiring GL1/GL2 and the terminal GTM formation field for scan signal wiring using a phot lithography techniques, reflecting plates RP1/RP2 are formed further.

[0073] Throughout the front face of (Process E) transparency insulating substrate SUB 1, 50–300nm of 140nm of p-ITO film used as the transparency pixel electrode PXI is preferably formed for example, by

the sputtering method. Next, the p-ITO film is etched using a phot lithography techniques, and while forming the transparency pixel electrode PXI connected with the source electrodes SE1/SE2 of a thin film transistor TFT through a contact hole CH in a pixel field, the pad electrode TCI for connection is formed in the terminal GTM formation field for scan signal wiring, the terminal coal-tar-mixture formation field for common signal wiring, and the terminal DTM formation field for video-signal wiring. [0074] Since the configuration of the schematic diagram of the electrical circuit of the active-matrix reflective mold liquid crystal display of the gestalt of this operation and the cross section of the substrate edge of an active-matrix reflective mold liquid crystal display is the same as that of the 1st operation gestalt, the explanation is omitted. According to the gestalt of this operation, the source electrodes SE1/SE2 of a thin film transistor TFT are made into the bilayer laminated structure of the 1st electric conduction film SE 1 and the 2nd electric conduction film SE 2. The source electrodes SE1/SE2 can be formed at 1 time of a phot lithography process by using the 1st electric conduction film SE 1 as Mo alloy, and considering as Ag alloy which formed the 2nd electric conduction film SE 2 in the upper layer of Mo alloy. Furthermore, Ag alloy of the 2nd electric conduction film SE 2 of the source electrodes SE1/SE2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the contact hole CH is carried out to the protection insulator layer PAS. The source electrodes SE1/SE2 and the pixel electrode PXA can be connected by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy of the 1st electric conduction film SE 1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0075] According to the gestalt of this operation, the video-signal wiring DL1/DL2 and scan signal wiring GL1/GL2 are made into the bilayer laminated structure of the 1st electric conduction film DL1 and GL1 and the 2nd electric conduction film DL2 and GL2. The video-signal wiring DL1/DL2 and the scan signal wiring GL1/GL2 can be formed at 1 time of a phot lithography process by using the 1st electric conduction film DL1 and GL1 as Mo alloy, and considering as Ag alloy which formed the 2nd electric conduction film DL2 and GL2 in the upper layer of Mo alloy. Furthermore, Ag alloy of the 2nd electric conduction film SE 2 of the source electrodes SE1/SE2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the through hole TH is carried out to the protection insulator layer PAS. The pad electrode TCA can be connected with the source scan signal wiring GE1/GE2 and the video-signal wiring DL1/DL2 by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy of the 1st electric conduction film SE 1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0076] According to the gestalt of this operation, the front face is covered with the transparency pixel electrode PXI, and since the 2nd electric conduction film SE 2 which consists of an Ag alloy which forms the source electrodes SE1/SE2 which exist in the contact hole CH side-attachment-wall section has structure which is not exposed, it can prevent the corrosion of Ag alloy.

[0077] According to the gestalt of this operation, the front face is covered with the pad electrode TCI, and since the 2nd electric conduction film GE2 used for the 2nd electric conduction film DL 2 and scan signal wiring GE1/GE2 used for the video-signal wiring DL1/DL2 which exists in the through hole TH side-attachment-wall section has structure which is not exposed, it can prevent the corrosion of Ag alloy. The configuration of the reflective mold liquid crystal display in which a transparency display and a reflective display are possible can be offered without increasing the process for forming reflecting plates RP1/RP2 according to the gestalt of this operation.

[0078] [the gestalt of the 3rd operation] -- the gestalt of operation of the 3rd of this invention is explained below using drawing 20 from drawing 15. The explanation which attaches the same sign and overlaps in drawing 20 about the same component as the above-mentioned 1st and the gestalt of operation of two from drawing 15 R> 5 is omitted.

[0079] Drawing 15 is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 3rd of this invention. Drawing 16 is a top view by the side of the transparency insulating substrate of the side by which the thin film transistor of the unit pixel of the active-matrix

reflective mold liquid crystal display of the gestalt of the 3rd operation is arranged. In addition, drawing 15 compounds the sectional view at which it looked in the direction of an A-A'direction of view and B-B' view described into this drawing 16 .

[0080] In drawing, PXIA the transparency pixel electrode which consists of an amorphous indium zincic acid ghost (it is called a-IZO for short below) TCIA (refer to drawing 17 and drawing 18 ) the pad electrode which consists of an amorphous indium zincic acid ghost The 2nd electric conduction film with which SEP2 uses for these source electrodes SEP1/SEP2 the 1st electric conduction film with which SEP1 uses for these source electrodes SEP1/SEP2 the source electrode with which SEP1/SEP2 possess the function as a reflecting plate is shown, respectively.

[0081] In the gestalt of this operation, as shown in drawing 15 , the transparency pixel electrode PXIA is arranged as a pixel electrode. The transparency pixel electrode PXIA is connected as electrically as the source electrodes SEP1/SEP2 of a thin film transistor TFT. If the electrical potential difference more than the threshold of a thin film transistor TFT joins the scan signal wiring GL1/GL2, the semi-conductor layer SI will be in switch-on, and, as for a thin film transistor TFT, between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SEP1/SEP2 will be flowed through it. The electrical potential difference currently impressed to the video-signal wiring DL1/DL2 in that case is transmitted to the transparency pixel electrode PXIA.

[0082] The electrical potential difference of the scan signal wiring GL1/GL2 moreover, in below the threshold electrical potential difference of a thin film transistor TFT Between the video-signal electrodes DE1/DE2 of a thin film transistor TFT and the source electrodes SEP1/SEP2 will be in an insulating condition. The electrical potential difference currently impressed to the video-signal wiring DL1/DL2 is not transmitted to the transparency pixel electrode PXIA, but the transparency pixel electrode PXIA holds the electrical potential difference transmitted when between the video-signal electrodes DE1/DE2 and the source electrodes SEP1/SEP2 was switch-on. The contact hole CH is formed in order to connect the source electrodes SEP1/SEP2 of a thin film transistor TFT, and the transparency pixel electrode PXIA, and the transparency pixel electrode PXIA overcomes the level difference of a contact hole CH, contacts the source electrodes SEP1/SEP2 exposed to the contact hole CH pars basilaris ossis occipitalis, and is connected electrically. Moreover, the circular polarization of light plate POL 2 for changing the light from a back light BL into the circular polarization of light is arranged at the side which does not arrange the thin film transistor TFT of the TFT substrate SUB 1. The circular polarization of light plate POL 2 is the configuration which carried out the laminating of the polarizing plate for changing into the linearly polarized light, and the 4/lambda phase contrast plate.

[0083] As shown in drawing 16 , it is formed in the field divided with the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2 thin film transistor TFT, the transparency pixel electrode PXIA, and every one \*\*\*\*\*\*, and the pixel consists of gestalten of this operation. The source electrodes SEP1/SEP2 possess the function as a reflecting plate, and have the function to reflect the light which carried out incidence from the polarizing plate POL side. In the field which the source electrodes SEP1/SEP2 and the transparency pixel electrode PXIA superimpose here The reflective display which reflected the light which carried out incidence from the polarizing plate POL side of the CF substrate SUB 2 which is not illustrated with the source electrodes SEP1/SEP2, and used outdoor daylight is performed. In the field which the transparency pixel electrode PXIA exists and the source electrodes SEP1/SEP2 and the transparency pixel electrode PXIA do not superimpose It indicates by transparency using the light by which outgoing radiation was carried out from the back light BL arranged at the side which does not arrange the thin film transistor TFT of the TFT substrate SUB 1 which is not illustrated.

[0084] With the gestalt of this operation, all the scan signal wiring GL1/GL2, the video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, the source electrodes SEP1/SEP2, and reflecting plates RP1/RP2 The 1st electric conduction film GL1, DL1, DE1, and SEP1, It consists of RP1 and the 2nd electric conduction film GL2, DL2, DE2, SEP2, and RP2. The 1st electric conduction film GL1, DL1, DE1, SEP1, and RP1 consists of an Mo alloy, the 2nd electric conduction film

GL2, DL2, DE2, SEP2, and RP2 is located on the 1st electric conduction film GL1, DL1, DE1, SEP1, and RP1, and Ag alloy film is used.

[0085] As shown in drawing 16, thin film transistor TFT and the transparency pixel electrode PXIA are formed one [ at a time ] in the field divided with the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2, respectively, and the pixel consists of gestalten of this operation. Ag alloy in which a high reflection factor is shown is used, and the maximum front face of the source electrodes SEP1/SEP2 also has the function as a reflecting plate besides the function as source electrodes SEP1/SEP2 of a thin film transistor TFT. In the field which the source electrodes SEP1/SEP2 and the transparency pixel electrode PXIA superimpose The light which carried out incidence from the polarizing plate POL side of the CF substrate SUB 2 which is not illustrated is reflected with the source electrodes SEP1/SEP2. Perform the reflective display using outdoor daylight and the transparency pixel electrode PXIA exists. It indicates by transparency using the light by which outgoing radiation was carried out from the back light BL arranged at the side which does not arrange the thin film transistor TFT of the TFT substrate SUB 1 which is not illustrated in the field which the source electrodes SEP1/SEP2 and the transparency pixel electrode PXIA do not superimpose.

[0086] Drawing 17 is the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 3rd operation (a), and the sectional view at which it looked in the direction of an A-A' view described all over this important section top view (a). Drawing 18 is the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 3rd operation (a), and the sectional view at which it looked in the direction of an A-A' view described all over this important section top view (a).

[0087] As shown in drawing 17, the terminal GTM part for scan signal wiring forms the extension section of the scan signal wiring GL1/GL2 in the field which forms the terminal GTM part for scan signal wiring on the transparency insulating substrate SUB 1 first, and is produced. Furthermore the scan signal wiring GL1/GL2 is covered, the laminating of gate-dielectric-film GI and the protection insulator layer PAS of a thin film transistor TFT is carried out one by one, and a part of extension section of the scan signal wiring GL1/GL2 is exposed by these gate-dielectric-film GI and the through hole TH established in the protection insulator layer PAS. Although opening of the through hole TH is carried out to the protection insulator layer PAS and gate-dielectric-film GI by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 of a through hole TH pars basilaris ossis occipitalis in a dry etching processing process may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 is exposed. It is the same ingredient as the time of the pad electrode TCIA forming the transparency pixel electrode PXIA on it, and is formed at the same process, and the terminal GTM for scan signal wiring is formed. This pad electrode TCI is electrically connected with the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 through a through hole TH. In a scan signal wiring terminal GTM part, the pad electrode TCIA is an electrode for covering the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 in the through hole TH side-attachment-wall section, and Mo alloy of the 1st electric conduction film GL1 of the scan signal wiring GL1/GL2 which the connection with the external actuation circuit V through this anisotropy electric conduction film has in a through hole TH pars basilaris ossis occipitalis is used here.

[0088] First, as shown in drawing 18 , after gate-dielectric-film GI is formed on the transparency insulating substrate SUB 1, the terminal DTM part for video-signal wiring forms the extension section of the video-signal wiring DL1/DL2 in the field in which the terminal DTM for video-signal wiring is formed, and is produced. Then, opening of the through hole TH is carried out to a part of field in which the pad electrode TCIA produced at a next process among the fields in which the protection insulator layer PAS of a thin film transistor TFT is formed in, and the terminal DTM for video-signal wiring is formed is

formed. Although opening of the through hole TH is carried out to the protection insulator layer PAS by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film DL 2 which forms the video-signal wiring DL1/DL2 of a through hole TH pars basilaris ossis occipitalis may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film DL 1 which forms the video-signal wiring DL1/DL2 is exposed. With the same ingredient as the time of the pad electrode TCIA forming the transparency pixel electrode PXIA on it, it is formed at the same process and the terminal GTM for scan signal wiring is formed. In a video-signal wiring terminal DTM part, the pad electrode TCIA is an electrode for covering Ag alloy of the 2nd electric conduction film DL 2 of the video-signal wiring DL1/DL2 in the through hole TH side-attachment-wall section, and Mo alloy of the 1st electric conduction film DL 1 of the video-signal wiring DL1/DL2 which the connection with the external actuation circuit H through the anisotropy electric conduction film has in a through hole TH pars basilaris ossis occipitalis is used here.

[0089] Next, drawing 19 R> 9 and drawing 20 explain the example of the active-matrix reflective mold liquid crystal display formation approach of the gestalt of the 3rd operation using the important section sectional view for every production process of the TFT substrate SUB 1. Drawing 19 is drawing showing the process flow for realizing the 3rd configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation. Drawing 20 is a sectional view at which was made to correspond in the direction of a view described into drawing 16 at the time of producing a TFT substrate according to the process flow of drawing 19, and it looked.

[0090] In the 3rd operation gestalt, the TFT substrate SUB 1 is specifically completed through six steps of phot lithography processes of (A) – (E). (A) Since it is the same as that of the case of the 1st operation gestalt mentioned above about the process of – (B), the explanation is omitted. (Process C) transparency insulating substrate SUB 1 is prepared, throughout the front face, for example, by the sputtering method, the Mo-Zr film is carried out by 40nm, and continuation formation of the 20–100nm of the 100–300nm of the Ag-Pd alloys is preferably carried out by 160nm thickness. Next, using a phot lithography techniques, selective etching of the Mo-Zr film and the Ag-Pd film is carried out in self align by package, and the extension section of the video-signal wiring DL1/DL2 is formed in the terminal DTM formation field for video-signal wiring for the video-signal electrodes DE1/DE2 of a thin film transistor TFT, the source electrodes SEP1/SEP2 possessing the function as a reflecting plate, and the video-signal wiring DL1/DL2 in a pixel field again. Then, the amorphous silicon film which doped Lynn as an n mold impurity is etched by using as a mask the pattern which etched the Mo-Zr film and the Ag-Pd film.

[0091] Throughout the front face of (Process D) transparency insulating substrate SUB 1, 200nm – 900nm (SiN film) of silicon nitride films used as the protection insulator layer PAS of a thin film transistor TFT is preferably formed by 350nm thickness for example, by the plasma-CVD method. Next, using a phot lithography techniques, the protection insulator layer PAS is etched and the contact hole CH for exposing some source electrodes SEP1/SEP2 possessing the function as a reflecting plate is formed in a pixel field. With this, even gate-dielectric-film GI located in the lower layer of the protection insulator layer PAS is made to penetrate a through hole TH in a scan signal wiring GTM formation field, and the through hole TH for exposing a part of scan signal wiring GL1/GL2 is formed in it. The through hole TH for exposing the extension section of the video-signal wiring DL1/DL2 is formed in the terminal DTM formation field for video-signal wiring. In this dry etching process, the 2nd electric conduction film SEP1, GL1, and DL1 which exists in the field which carried out opening of a contact hole CH and the through hole TH deteriorates in the silver fluoride. Then, dissolution clearance of the silver fluoride of a contact hole CH and the 2nd electric conduction film SEP1, GL1, and DL1 of a through hole TH pars basilaris ossis occipitalis is selectively carried out using oxalic acid.

[0092] Throughout the front face of (Process E) transparency insulating substrate SUB 1, 50–300nm of 115nm of a-IZO film used as the transparency pixel electrode PXIA is preferably formed for example, by the sputtering method. Next, the a-IZO film is etched using a phot lithography techniques, and while

forming the transparency pixel electrode PXIA connected with the source electrodes SEP1/SEP2 possessing the function as a reflecting plate through a contact hole CH in a pixel field, the pad electrode TCIA for connection is formed in the terminal GTM formation field for scan signal wiring, a common signal wiring terminal coal-tar-mixture formation field, and the terminal DTM formation field for video-signal wiring.

[0093] According to the gestalt of this operation, the source electrodes SEP1/SEP2 possessing the function as a reflecting plate are made into the bilayer laminated structure of the 1st electric conduction film SEP 1 and the 2nd electric conduction film SEP 2. The source electrodes SEP1/SEP2 can be formed at 1 time of a phot lithography process by using the 1st electric conduction film SEP 1 as Mo alloy, being in the upper layer of Mo alloy and using the 2nd electric conduction film SEP 2 as Ag alloy. Furthermore, Ag alloy of the 2nd electric conduction film SEP 2 of the source electrodes SEP1/SEP2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the contact hole CH is carried out to the protection insulator layer PAS. The source electrodes SEP1/SEP2 and the pixel electrode PXIA can be connected by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy of the 1st electric conduction film SEP 1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0094] According to the gestalt of this operation, the video-signal wiring DL1/DL2 and scan signal wiring GL1/GL2 are made into the bilayer laminated structure of the 1st electric conduction film DL1 and GL1 and the 2nd electric conduction film DL2 and GL2. The video-signal wiring DL1/DL2 and the scan signal wiring GL1/GL2 were able to be formed at 1 time of a phot lithography process by using the 1st electric conduction film DL1 and GL1 as Mo alloy, being in the upper layer of Mo alloy and using the 2nd electric conduction film DL2 and GL2 as Ag alloy. Furthermore, Ag alloy of the 2nd electric conduction film DL2 and GL2 of the video-signal wiring DL1/DL2 and the scan signal wiring GL1/GL2 deteriorates in the silver fluoride by the dry etching by the fluorine plasma used in case opening of the through hole TH is carried out to the protection insulator layer PAS. The pad electrode TCIA can be connected with the scan signal wiring GE1/GE2 and the video-signal wiring DL1/DL2 by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy of the 1st electric conduction film DL1 and GL1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0095] According to the gestalt of this operation, the front face is covered with the reflective pixel electrode PXIA, and since the 2nd electric conduction film SE 2 which consists of an Ag alloy which forms the source electrodes SEP1/SEP2 which exist in the contact hole CH side-attachment-wall section has structure which is not exposed, it can prevent the corrosion of Ag alloy.

[0096] According to the gestalt of this operation, the front face is covered with the pad electrode TCIA, and since the 2nd electric conduction film GE2 used for the 2nd electric conduction film DL 2 and scan signal wiring GE1/GE2 which forms the video-signal wiring DL1/DL2 which exists in the through hole TH side-attachment-wall section has structure which is not exposed, it can prevent the corrosion of Ag alloy. The configuration of the reflective mold liquid crystal display in which a transparency display and a reflective display are possible can be offered without increasing the process for forming a reflecting plate according to the gestalt of this operation.

[0097] According to the gestalt of this operation, it sets into a scan signal wiring terminal GTM part and the terminal DTM part for video-signal wiring. By considering as the structure which exposed the 1st electric conduction film GE1 used for the scan signal wiring GE1/GE2, and the 1st electric conduction film DL 1 used for the video-signal wiring DL1/DL2 A scan signal wiring terminal GTM part and a video-signal wiring terminal DTM part, and the anisotropy electric conduction film are connectable by the resistance stabilized low.

[0098] [the gestalt of the 4th operation] -- the gestalt of operation of the 4th of this invention is explained below using drawing 26 from drawing 21. The explanation which attaches the same sign and overlaps in drawing 26 about the same component as the gestalt of the above-mentioned 1st thru/or operation of three from drawing 21 R> 1 is omitted. Drawing 21 is the sectional view of the active-

matrix reflective mold liquid crystal display of the gestalt of operation of the 4th of this invention.

[0099] Drawing 22 is a top view by the side of the transparency insulating substrate of the side by which the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation is arranged. In addition, drawing 21 compounds the sectional view at which it looked in the direction of an A-A' direction of view and B-B' view described into this drawing 22.

[0100] In drawing 21, UNE shows a spreading mold insulator layer. As shown in drawing 21, with the gestalt of this operation, it has the structure which carried out the laminating of the protection insulator layer PAS and the spreading mold insulator layer UNE between the reflective pixel electrode PXA and the source electrodes SE1/SE2. The spreading mold insulator layer UNE has a concavo-convex configuration on the front face. The reflective pixel electrode PXA formed on this concavo-convex configuration has the same irregularity reflecting the irregularity of the spreading mold insulator layer UNE of a substrate. With this irregularity, the reflective pixel electrode PXA has diffusibility, and diffuses the light which carried out incidence from the polarizing plate POL side arranged at the CF substrate SUB 2, and the near reflective display of it is attained white.

[0101] In order that a contact hole CH may connect the source electrodes SE1/SE2 and the reflective pixel electrode PXA of a thin film transistor TFT, it is formed in the spreading mold insulator layer UNE and the protection insulator layer PAS, and the reflective pixel electrode PXA overcomes the level difference of a contact hole CH, contacts the source electrodes SE1/SE2 exposed to the contact hole CH pars basilaris ossis occipitalis, and is connected electrically.

[0102] With the gestalt of this operation, as shown in drawing 22, the scan signal wiring GL1/GL2 in the field to which the reflective pixel electrode PXA exists has composition superimposed in all fields other than the pixel electrode PXA gap which adjoins a line writing direction. Moreover, it has composition which also superimposes the video-signal wiring DL1/DL2 in the field to which the reflective pixel electrode PXA exists in all fields other than the pixel electrode PXA gap which adjoins in the direction of a train. Although the parasitic capacitance produced between the reflective pixel electrode PXA and the video-signal wiring DL1/DL2 becomes the factor which causes a poor display, in the gestalt of this operation, the spreading mold insulator layer UNE is arranged and low capacity-ization of extent which does not cause a poor display is attained by setting the thickness to about 0.5 micrometers. It is avoidable by arranging the spreading mold insulator layer UNE also about malfunction of the thin film transistor TFT by having arranged the reflective pixel electrode PXA on a thin film transistor TFT. Moreover, by setting thickness of the spreading mold insulator layer UNE to about 4 micrometers, the diffusibility of the reflective pixel electrode PXA by the irregularity formed in the front face can be given enough.

[0103] With the gestalt of this operation, the scan signal wiring GL1/GL2, the video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, and the source electrodes SE1/SE2 All consist of the 1st electrodes GL1, DL1, DE1, and SE1 and 2nd electrode GL1, DL2, DE2, and SE2. The 1st electrode GL1, DL1, DE1, and SE1 consists of an alloy which uses Mo as a principal component, the 2nd electrode GL1, DL2, DE2, and SE2 is located on the 1st electrode GL1, DL1, DE1, and SE1, and the alloy film which uses Ag as a principal component is used. In addition, about the circuitry of the active-matrix reflective mold liquid crystal display of the gestalt of this operation, and the cross-section configuration of a substrate edge, since it is the same as that of the case of the gestalt of the 1st operation mentioned above, the explanation is omitted.

[0104] Drawing 23 is the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a). Drawing 24 R> 4 is the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[0105] As shown in drawing 23, the terminal GTM part for scan signal wiring forms the extension section of the scan signal wiring GL1/GL2 in the field which forms the terminal GTM part for scan signal wiring on the transparency insulating substrate SUB 1 first, and is produced. Furthermore, the scan signal wiring GL1/GL2 is covered, and the laminating of gate-dielectric-film GI and the protection insulator layer PAS of a thin film transistor TFT is carried out one by one. Next, although the spreading mold insulator layer UNE is formed, when the ingredient which has optical photosensitivity as a spreading mold insulator layer UNE is used, a pattern can be formed according to a phot lithography processes. Then, opening of the through hole TH is carried out to gate-dielectric-film GI and the protection insulator layer PAS by using the spreading mold insulator layer UNE as a mask, and a part of extension section of the scan signal wiring GL1/GL2 is exposed. Although opening of the through hole TH is carried out to the protection insulator layer PAS and gate-dielectric-film GI by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 of a through hole TH pars basilaris ossis occipitalis in a dry etching processing process may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film GL1 which forms the scan signal wiring GL1/GL2 is exposed. With the same ingredient as the time of moreover the pad electrode TCA forming the reflective pixel electrode PXA, it is formed at the same process and the terminal GTM for scan signal wiring is formed. This pad electrode TCA is electrically connected with the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 through a through hole TH. In a scan signal wiring terminal GTM part, the pad electrode TCA is an electrode for covering the 2nd electric conduction film GL2 which forms the scan signal wiring GL1/GL2 in the through hole TH side-attachment-wall section, and Mo alloy of the 1st electric conduction film GL1 of the scan signal wiring GL1/GL2 which the connection with the external actuation circuit V through the anisotropy electric conduction film has in a through hole TH pars basilaris ossis occipitalis is used here.

[0106] As the terminal DTM part for video-signal wiring is shown in drawing 24, after gate-dielectric-film GI is formed on the transparency insulating substrate SUB 1, the extension section of the video-signal wiring DL1/DL2 is first formed in the field in which the terminal DTM for video-signal wiring is formed. Then, the protection insulator layer PAS of a thin film transistor TFT is formed. Next, although the spreading mold insulator layer UNE is formed, when the ingredient which has optical photosensitivity as a spreading mold insulator layer UNE is used, a pattern can be formed according to a phot lithography processes. Then, opening of the through hole TH is carried out by using the spreading mold insulator layer UNE as a mask to a part of field in which the pad electrode TCA produced at a next process among the fields in which the terminal DTM for video-signal wiring is formed is formed. Although opening of the through hole TH is carried out to the protection insulator layer PAS by dry etching processing using the fluorine plasma at this time, in order that the 2nd electric conduction film DL 2 which forms the video-signal wiring DL1/DL2 of a through hole TH pars basilaris ossis occipitalis may disappear, at the through hole TH pars basilaris ossis occipitalis, the 1st electric conduction film DL 1 which forms the video-signal wiring DL1/DL2 is exposed. With the same ingredient as the time of the pad electrode TCA forming the reflective pixel electrode PXA on it, it is formed at the same process and the video-signal wiring terminal DTM is formed. In a video-signal wiring terminal DTM part, the pad electrode TCA is an electrode for covering Ag alloy of the 2nd electric conduction film DL 2 of the video-signal wiring DL1/DL2 in the through hole TH side-attachment-wall section, and Mo alloy of the 1st electric conduction film DL 1 of the video-signal wiring DL1/DL2 which the connection with the external actuation circuit H through the anisotropy electric conduction film has in a through hole TH pars basilaris ossis occipitalis is used here. Next, drawing 25 and drawing 26 explain the example of the active-matrix reflective mold liquid crystal display formation approach of the gestalt of the 4th operation using the important section sectional view for every production process of the TFT substrate SUB 1.

[0107] Drawing 25 is drawing showing the process flow for realizing the configuration of the 4th of the active-matrix reflective mold liquid crystal display of the gestalt of operation of this invention. Drawing

26 is the sectional view at which was made to correspond in the direction of a view described into said drawing 22 at the time of producing a TFT substrate according to the process flow of drawing 25 , and it looked.

[0108] In the gestalt of this operation, the TFT substrate SUB 1 is completed through five steps of photolithography processes of (A) – (E). About (A) – (C) of the gestalt of this operation, and the process of (E), since [ which was mentioned above ] it is the same as that of the gestalt of the 1st operation, the explanation is omitted.

Throughout the front face of (Process D) transparence insulating substrate SUB 1, 200nm – 900nm (SiN film) of silicon nitride films used as the protection insulator layer PAS of a thin film transistor TFT is preferably formed by 350nm thickness for example, by the plasma-CVD method. Then, throughout the front face of the protection insulator layer PAS, it consists of insulator layers, such as various organic system resin, such as a polyimide system, an acrylic polymer, an epoxy system polymer, and a benzocyclobutene system polymer, or the inorganic polymer which contains melttable Si in an organic solvent, for example, the SOG (spin-on glass) film etc., with a spin coat method, and 0.5nm – 4 micrometers of spreading mold insulator layers UNE which have a sensitization radical are preferably applied by the thickness of 3 micrometers. Next, the through hole TH for exposing the extension section of the scan signal wiring GL1/GL2 in the terminal GTM formation field for scan signal wiring with a photolithography techniques The through hole TH for exposing the extension section of the video-signal wiring DL1/DL2 to the terminal DTM formation field for video-signal wiring The contact hole CH for connecting the source electrodes SE1/SE2 and the reflective pixel electrode PXA is formed in a part of field where the source electrodes SE1/SE2 have been arranged. In this exposure process of photolithography, the exposure for giving a concavo-convex configuration to the front face of the spreading mold insulator layer UNE also carries out simultaneously by irradiating the quantity of light smaller than the quantity of light which irradiated the field which forms a through hole TH and a contact hole CH in the field to which the reflective pixel electrode PXA produced at a next process is arranged using a mask which has middle permeability besides the protection-from-light section and the transparency section on a mask. Next, the protection insulator layer PAS is etched by using the pattern of the spreading mold insulator layer UNE as a mask, and the contact hole CH for exposing some source electrodes SE1/SE2 of this thin film transistor TFT in a pixel field is formed. With this, even gate-dielectric-film GI located in the lower layer of the protection insulator layer PAS is made to penetrate a through hole TH in the terminal GTM formation field for scan signal wiring, and the through hole TH for exposing the extension section of the scan signal wiring GL1/GL2 is formed in it. Even gate-dielectric-film GI located in the lower layer of the protection insulator layer PAS is made to penetrate a through hole TH in the terminal DTM formation field for video-signal wiring, and the through hole TH for exposing the extension section of the video-signal wiring DL1/DL2 is formed in it. In this dry etching process, Ag alloy which forms the 2nd electric conduction film SE2, GL2, and DL2 deteriorates in the silver fluoride. Then, dissolution clearance of the silver fluoride of a contact hole CH and a through hole TH pars basilaris ossis occipitalis is selectively carried out using oxalic acid, and Mo alloy of the 1st electric conduction film SE1, GL1, and DL1 is exposed.

[0109] In addition, in the gestalt of this operation, since it is necessary to secure the etch selectivity of the 1st electric conduction film GL1 used for the scan signal wiring GL1/GL2, and the pixel electrode PXA in case the pad electrode TCA is formed, phosphoric acid is used for etching of the pad electrode TCA as an example.

[0110] According to the gestalt of this operation, the source electrodes SEP1/SEP2 possessing the function as a reflecting plate are made into the bilayer laminated structure of the 1st electric conduction film SEP 1 and the 2nd electric conduction film SEP 2. The source electrodes SEP1/SEP2 can be formed at 1 time of a phot lithography process by using the 1st electric conduction film SEP 1 as Mo alloy, and forming the 2nd electric conduction film SEP 2 in the upper layer of Mo alloy with Ag alloy. In this case, Ag alloy which forms the 2nd electric conduction film SEP 2 of the source electrodes

SEP1/SEP2 by the dry etching by the fluorine plasma used in case opening of the contact hole CH is carried out to the protection insulator layer PAS deteriorates in the silver fluoride. The source electrodes SEP1/SEP2 and the pixel electrode PXIA can be connected by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy which forms the 1st electric conduction film SEP 1 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0111] According to the gestalt of this operation, the video-signal wiring DL1/DL2 and scan signal wiring GL1/GL2 are made into the bilayer laminated structure of the 1st electric conduction film DL1 and GL1 and the 2nd electric conduction film DL2 and GL2. By using the 1st electric conduction film DL1 and GL1 as Mo alloy, and forming the 2nd electric conduction film DL2 and GL2 in the upper layer of Mo alloy of the 1st electric conduction film DL1 and GL1 with Ag alloy The terminal GTM for scan signal wiring of the scan signal wiring GL1/GL2 and the terminal DTM for video-signal wiring of the video-signal wiring DL1/DL2 can be formed at 1 time of a phot lithography process. In this case, Ag alloy which forms the 2nd electric conduction film GL2 and DL2 of the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2 by the dry etching by the fluorine plasma used in case opening of the through hole TH is carried out to the protection insulator layer PAS deteriorates in the silver fluoride. The pad electrode TCA can be connected with the source scan signal wiring GE1/GE2 and the video-signal wiring DL1/DL2 by the contact resistance stabilized low, without increasing a phot lithography processes for exposing Mo alloy which forms the 1st electric conduction film GL1 and DL1 of the scan signal wiring GL1/GL2 and the video-signal wiring DL1/DL2 by carrying out oxalic acid etching for removing the silver fluoride after that.

[0112] According to the gestalt of this operation, the front face is covered with the reflective pixel electrode PXA, and since the 2nd electric conduction film SE 2 which consists of an Ag alloy used for the source electrodes SE1/SE2 which exist in the contact hole CH side-attachment-wall section has structure which is not exposed, it can prevent the corrosion of Ag alloy which forms the 2nd electric conduction film SE 2.

[0113] According to the gestalt of this operation As for the 2nd electric conduction film GL2 which consists of an Ag alloy used for the 2nd electric conduction film DL 2 and scan signal wiring GL1/GL2 which consist of an Ag alloy used for the video-signal wiring DL1/DL2 which exists in the through hole TH side-attachment-wall section, the front face is covered with the pad electrode TCA. Since it has structure which is not exposed, the corrosion of Ag alloy which forms the 2nd electric conduction film DL2 and GL2 can be prevented. The spreading mold insulator layer UNE can be applied without increasing a process by processing a through hole TH and a contact hole CH into the protection insulator layer PAS and gate-dielectric-film GI using the pattern of the spreading mold insulator layer UNE according to the gestalt of this operation.

[0114] According to the gestalt of this operation, it sets into a scan signal wiring terminal GTM part and the terminal DTM part for video-signal wiring. By considering as the structure which exposed the 1st electric conduction film DL 1 which forms the 1st electric conduction film GL1 and the video-signal wiring DL1/DL2 which form the scan signal wiring GL1/GL2 A scan signal wiring terminal GTM part and a video-signal wiring terminal DTM part, and the anisotropy electric conduction film for the external actuation circuit V and H connection are connectable by the resistance stabilized low. By taking the configuration which superimposes the video-signal wiring DL1/DL2 in the field to which the pixel electrode PXA exists on the reflective pixel electrode PXA in all fields other than the pixel electrode PXA gap which adjoins a line writing direction according to the gestalt of this operation The pinhole which exists in the protection insulator layer PAS and gate-dielectric-film GI in case the reflective pixel electrode PXA is etched, An etching reagent sinks in from a crack and the dissolution of the video-signal wiring DL1/DL2 by Ag alloy which forms the 2nd electric conduction film DL 2 of the video-signal wiring DL1/DL2 being exposed to an etching reagent, and the configuration of the reflective mold liquid crystal display which can press down an open circuit can be offered. By taking the configuration which

superimposes the scan signal wiring GL1/GL2 in the field to which the pixel electrode PXA exists on the reflective pixel electrode PXA in all fields other than the pixel electrode PXA gap which adjoins in the direction of a train according to the gestalt of this operation. The pinhole which exists in the protection insulator layer PAS and gate-dielectric-film GI in case the reflective pixel electrode PXA is etched, An etching reagent sinks in from a crack and the dissolution of the scan signal wiring GL1/GL2 by Ag alloy which forms the 2nd electric conduction film GL2 of the scan signal wiring GL1/GL2 being exposed to an etching reagent, and the configuration of the reflective mold liquid crystal display which can press down an open circuit can be offered.

[0115] In the gestalt of all operations mentioned above, although the alloy which contained Zr by using Mo as a principal component as 1st electric conduction film is adopted, the resistance over the fluorine system plasma can be given by considering as the alloy which contains a kind of element at least among Zr, a hafnium (Hf), Cr, and titanium (Ti) by using Mo as a principal component.

[0116] In the gestalt of all operations mentioned above, by using Mo as a principal component for Mo alloy especially used as 1st electric conduction film, and making Zr into 23 % of the weight from 4 % of the weight, control of the signal-line cross-section configuration by signal-line etching processing using the mixed acid of a phosphoric acid-nitric-acid-acetic acid is good, and can lose an etch residue in etching processing. In the gestalt of all operations mentioned above, processing formation is attained with the etching reagent using the mixed acid of a phosphoric acid-nitric-acid-acetic acid by using Ag as a principal component for Ag alloy used as 2nd electric conduction film, and considering as the alloy containing Pd.

[0117] In the gestalt of all operations mentioned above, although the scan signal wiring GL1/GL2, the video-signal wiring DL1/DL2, the video-signal electrodes DE1/DE2 of a thin film transistor TFT, and source electrode SE1/SEP1 [ SE2 and ]/SEP2 were made into the bilayer cascade screen of Ag alloy and Mo alloy By making into the bilayer cascade screen of Ag alloy and Mo alloy at least one of wiring mentioned above and electrodes The reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0118] [ when / which was mentioned above / a scan signal wiring terminal GTM part and a video-signal wiring terminal DTM part are made into the structure of the gestalt of the 4th operation in the gestalt of the 1st operation ] The reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0119] [ when / which was mentioned above / a part for a part for the terminal area of scan signal wiring and the terminal area of video-signal wiring is made into the structure of the gestalt of the 1st operation in the gestalt of the 4th operation ] The reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0120] In the gestalt of the 2nd operation mentioned above, although reflecting plates RP1/RP2 are formed at the same ingredient as the scan signal wiring GL1/GL2, and the same process As shown in the gestalt of the 3rd operation, when the source electrodes SEP1/SEP2 possessing the function as a reflecting plate are applied, the signal line using silver is formed at 1 time of a phot lithography process. And it cannot be overemphasized that the reflective mold liquid crystal display which can form the laminating total in the simple process made into the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0121] Although the source electrodes SEP1/SEP2 which were mentioned above and with which a reflecting plate possesses the function as a reflecting plate in the gestalt of the 3rd operation are used As shown in the gestalt of the 2nd operation, the same ingredient as the scan signal wiring GL1/GL2, When reflecting plates RP1/RP2 are formed at the same process, the signal line using silver is formed at 1 time of a phot lithography process. And it cannot be overemphasized that the reflective mold liquid crystal display which can form the laminating total in the simple process made into the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0122] Although the source electrodes SEP1/SEP2 which were mentioned above and which possess the function of a reflecting plate as a reflecting plate in the gestalt of the 3rd operation are applied [ when the reflecting plates RP1/RP2 which are not connected in the source electrodes SE1/SE2 are formed ] It cannot be overemphasized that the reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, or the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0123] In the gestalt of the 1st mentioned above thru/or the 3rd operation, the spreading mold insulator layer UNE is applied like the gestalt of the 4th operation. The scan signal wiring GL1/GL2 which exists in the field to which the pixel electrode PXIA has been arranged is superimposed in fields other than the pixel gap where a line writing direction adjoins. By taking the structure which superimposes the video-signal wiring DL1/DL2 in fields other than the pixel inter-electrode spare time which the direction of a train adjoins, an open circuit of signal wiring and the dissolution are suppressed and the reflective mold liquid crystal display which can improve the yield can be offered.

[0124] In the gestalt of all operations mentioned above, although the silicon nitride film is applied as gate-dielectric-film GI and a protection insulator layer PAS Using fluorine system plasma gas, if it is the ingredient in which etching processing formation is possible The reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, and the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0125] Although the Ag-Pd alloy is used as an Ag alloy in the gestalt of all operations mentioned above, the reflective mold liquid crystal display which can be formed in the simple process to which Ag alloy film which contained except palladium also formed the signal line which used silver at 1 time of a phot lithography process, and made the laminating total the bilayer, and the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can offer.

[0126] In the gestalt of the 3rd operation mentioned above, although the indium zincic acid ghost amorphous as transparency electric conduction film was shown in the example Even if it uses an amorphous indium stannic acid ghost and indium germanium oxide The reflective mold liquid crystal display which can be formed in the simple process which formed the signal line using silver at 1 time of a phot lithography process, and made the laminating total the bilayer, and the reflective mold liquid crystal display which suppressed the corrosion of a signal line and was excellent in the short circuit between signal lines etc. can be offered.

[0127] Although applied as an ingredient which has the effectiveness which was mentioned above, and which reduces the parasitic capacitance between the reflective pixel electrode PXA, the video-signal wiring DL1/DL2, and scan signal wiring GL1/GL2 for the spreading mold insulator layer UNE in the gestalt of the 4th operation The capacity between the reflective pixel electrode PXA, the video-signal wiring DL1/DL2, and scan signal wiring GL1/GL2 may not become a problem depending on the size of a liquid crystal display. On the other hand, in the structure which does not arrange the spreading mold insulator layer UNE, an open circuit of the signal wiring by this invention and the prevention

effectiveness of the dissolution increase further, and can offer the reflective mold liquid crystal display which can improve the yield substantially. In addition, this invention is not limited to the gestalt of the above-mentioned implementation.

[0128] For example, although it has the composition that the drain electrode of a thin film transistor TFT is connected to the video-signal wiring DL1/DL2 as video-signal electrodes DE1/DE2, and the source electrodes SE1/SE2 are connected to the pixel electrode PXA and PXIA, in the liquid crystal display of the gestalt of the above-mentioned implementation The video-signal wiring DL1/DL2 is connected for the source electrodes SE1/SE2 of a thin film transistor TFT as a video-signal electrode. It will be good also as a configuration in which the drain electrodes DE1/DE2 are connected to the pixel electrode PXA and PXIA, and a contact hole CH will be formed in the drain electrodes DE1/DE2 of a thin film transistor TFT in this case. Furthermore, although explained taking the case of the liquid crystal display which carries out the so-called vertical electric-field type of liquid crystal actuation above, it is clear that it is employable also in the liquid crystal display which carries out liquid crystal actuation of a horizontal electric-field mold.

[0129]

[Effect of the Invention] As mentioned above, according to this invention, at least one of video-signal wiring, scan signal wiring, the source electrode of a thin film transistor, or the drain electrodes is used as the first electric conduction film and the second electric conduction film. Without making a process complicated by using the first electric conduction film as the alloy which uses Mo as a principal component, and using the second electric conduction film as Ag alloy which uses \*\*\*\*\* as a principal component on the first electric conduction film, using this cascade screen as a signal line, low resistance-ization of a signal line was achieved and liquid crystal display offer is made. And the response of enlargement of a liquid crystal display and highly-minute-izing is attained by \*\*\*\*\* which can achieve low resistance-ization of a signal line.

[0130] Moreover, by covering a bigger field than the insulator layer which carried out opening of the hole by other electric conduction film, the 2nd electric conduction film in the hole side-attachment-wall section can be covered, the corrosion by etching can be prevented, and the yield can be improved. Moreover, by taking the structure which superimposes the scan signal wiring which exists in the field to which the pixel electrode has been arranged in fields other than the pixel gap where a line writing direction adjoins, and superimposes video-signal wiring in fields other than the pixel inter-electrode spare time which the direction of a train adjoins, an open circuit of signal wiring and the dissolution are suppressed and the liquid crystal display which can improve the yield can be offered.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIP are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the active-matrix reflective mold liquid crystal display of the

gestalt of operation of the 1st of this invention.

[Drawing 2] It is the top view of a near transparency insulating substrate where the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation is arranged.

[Drawing 3] It is the schematic diagram of the electrical circuit of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation.

[Drawing 4] It is the cross section of the substrate edge of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation.

[Drawing 5] They are the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 6] They are the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 1st operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 7] It is drawing showing the process flow for realizing the 1st configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation.

[Drawing 8] It is the sectional view at which was made to correspond in the direction of a view described into said drawing 2 at the time of producing a TFT substrate according to the process flow of drawing 7, and it looked.

[Drawing 9] It is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 2nd of this invention.

[Drawing 10] It is the top view of a near transparency insulating substrate where the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation is arranged.

[Drawing 11] They are the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 12] They are the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 2nd operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 13] It is drawing showing the process flow for realizing the 2nd configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation.

[Drawing 14] It is the sectional view at which was made to correspond in the direction of a view described into said drawing 10 at the time of producing a TFT substrate according to the process flow of drawing 13, and it looked.

[Drawing 15] It is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 3rd of this invention.

[Drawing 16] It is a top view by the side of the transparency insulating substrate of the side by which the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 3rd operation is arranged.

[Drawing 17] They are the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 3rd operation (a), and the sectional view at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 18] They are the important section top view of the terminal DTM part for video-signal wiring of

the active-matrix reflective mold liquid crystal display of the gestalt of the 3rd operation (a), and the sectional view at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 19] It is drawing showing the process flow for realizing the 3rd configuration of the active-matrix reflective mold liquid crystal display of the gestalt of operation.

[Drawing 20] It is the sectional view at which was made to correspond in the direction of a view described into said drawing 16 at the time of producing a TFT substrate according to the process flow of drawing 19 , and it looked.

[Drawing 21] It is the sectional view of the active-matrix reflective mold liquid crystal display of the gestalt of operation of the 4th of this invention.

[Drawing 22] It is a top view by the side of the transparency insulating substrate of the side by which the thin film transistor of the unit pixel of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation is arranged.

[Drawing 23] They are the important section top view of the terminal GTM part for scan signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 24] They are the important section top view of the terminal DTM part for video-signal wiring of the active-matrix reflective mold liquid crystal display of the gestalt of the 4th operation (a), and the sectional view (b) at which it looked in the direction of an A-A' view described all over this important section top view (a).

[Drawing 25] It is drawing showing the process flow for realizing the configuration of the 4th of the active-matrix reflective mold liquid crystal display of the gestalt of operation of this invention.

[Drawing 26] It is the sectional view at which was made to correspond in the direction of a view described into said drawing 22 at the time of producing a TFT substrate according to the process flow of drawing 25 , and it looked.

[Description of Notations]

SUB1, SUB2 Transparency insulating substrate

TFT Thin film transistor

CE Common signal electrode

GL1/GL2 Scan signal wiring

DL1/DL2 Video-signal wiring

DE1/DE2 Video-signal electrode

SE1/SEP1 [ SE2 and ]/SEP2 Source electrode

GL1, DL1, DE1, SE1, SEP1, RP1 First electric conduction film

GL2, DL2, DE2, SE2, SEP2, RP2 Second electric conduction film

SI Semi-conductor layer

PXA, PXI, PXIA Reflective pixel electrode

GI Gate dielectric film

PAS Protection insulator layer

NSI Electrode

CH Contact hole

BM Protection-from-light pattern

CF Light filter

OC Overcoat film

ORI1, ORI2 Orientation film

LC Liquid crystal layer

POL Polarizing plate

SF Dispersion film

▼  
GTM Terminal for scan signal wiring  
DTM Terminal for video-signal wiring  
coal tar mixture Terminal for common signal wiring  
SL Sealant  
TCA, TCI, TCIA Pad electrode  
TH Through hole  
POL2 Circular polarization of light plate  
BL Back light  
UNE Spreading mold insulator layer

---

[Translation done.]